



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000276736 A

(43) Date of publication of application: 06.10.00

(51) Int. Cl.

G11B 7/0045
G11B 20/10

(21) Application number: 11302481

(22) Date of filing: 25.10.99

(30) Priority: 28.10.98 JP 10306760
22.01.99 JP 11014468

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: GUSHIMA TOYOJI
INOUE YASUNORI

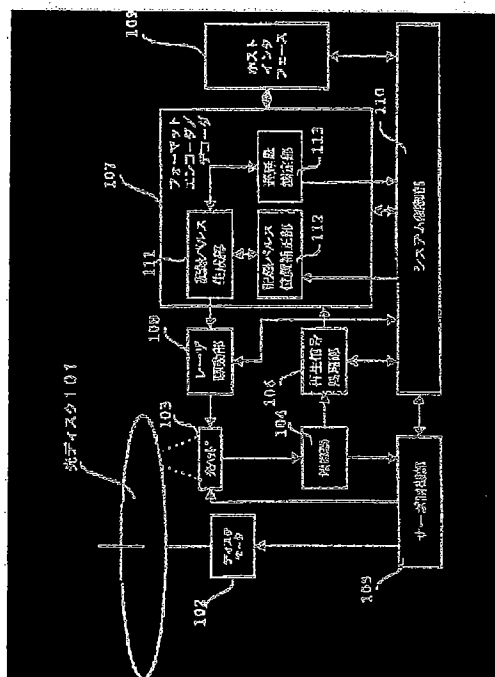
(54) DEVICE AND METHOD FOR RECORDING
INFORMATION ON OPTICAL DISK

(57) Abstract:

PROBLEM TO BE SOLVED: To make performable a high quality data recording on an optical disk such as a DVD while appropriately maintaining the edge position of recording pulses regardless of the fluctuation in power supply voltage level and surrounding temperature.

SOLUTION: The optical disk device is provided with a laser driving section 108, which drives a laser to record data on an optical disk, a recording pulse generating section 111, which generates recording pulse signals to control the switching of laser power of the section 108 using a prescribed delay circuit, a delay amount measuring section 113, which measures the amount of delay in the delay circuit of the section 111, and a recording pulse position compensating section 112 which compensates for a prescribed edge position of the recording pulses based on the measurement result.

COPYRIGHT: (C)2000,JPO



【特許請求の範囲】

【請求項1】 記録すべきデータに従い変調された少なくとも2種類のパワー値に変調してなるレーザ光を照射することにより光ディスクにデータを記録する情報記録装置であって、

遅延手段を備え、記録すべきデータを変調してパルス信号を生成し、前記遅延手段により前記パルス信号の所定のエッジ位置を遅延させることにより補正し、該補正した記録パルスを出力する記録パルス生成手段と、前記記録パルス信号によりパワー値を切り替えながらレーザを駆動するレーザ駆動手段と、前記遅延手段における遅延量を測定する遅延量測定手段と、

該遅延量測定手段による遅延量測定結果に基づいて記録パルスの前記エッジ位置を補正する記録パルス位置補正手段と、を具備したことを特徴とする情報記録装置。

【請求項2】 前記レーザ駆動手段は、複数の電流源と、各々の電流源からの出力電流のレーザへの供給を独立にオン／オフする複数のスイッチとを備えており、前記記録パルス生成手段は、複数の記録パルスを実記レーザ駆動手段へ出力し、前記複数の記録パルスにより前記複数のスイッチのオン／オフを制御することを特徴とする請求項1に記載の情報記録装置。

【請求項3】 前記記録パルス生成手段は、記録すべきデータを変調して基準となるパルス信号を生成するパルスタイミング生成手段と、前記基準となるパルス信号を入力とし、外部から遅延量を変更できる遅延パルスを出力する遅延量可変型遅延手段とを備えたことを特徴とする請求項1に記載の情報記録装置。

【請求項4】 前記記録パルス生成手段の前記遅延手段は、各々の入出力が直列に接続された複数のインバータ素子と、前記各インバータ素子の出力を選択する選択手段とを備えており、前記記録パルス位置補正手段により前記選択手段の選択が制御されることを特徴とする請求項1に記載の情報記録装置。

【請求項5】 前記記録パルス生成手段の遅延手段は、各々の入出力が直列に接続された複数のバッファ素子と、前記各バッファ素子の出力を選択する選択手段とを備えており、前記記録パルス位置補正手段により前記選択手段の選択が制御されることを特徴とする請求項1に記載の情報記録装置。

【請求項6】 前記記録パルス生成手段の遅延手段は電圧制御型遅延素子からなり、前記記録パルス位置補正手段により前記電圧制御型遅延素子の制御電圧を制御することで記録パルスの所定のエッジ位置を補正することを特徴とする請求項1に記載の情報記録装置。

【請求項7】 前記遅延量測定手段は、記録パルス生成

ック信号を用いて測定することを特徴とする請求項1に記載の情報記録装置。

【請求項8】 前記遅延量測定手段は、記録パルス生成手段の遅延手段の遅延量の異なる2つの出力間の遅延差を、遅延測定用クロック信号を用いて測定することを特徴とする請求項1に記載の情報記録装置。

【請求項9】 記録パルス位置補正手段は、遅延量測定手段による遅延量測定結果を用いて、記録パルス生成手段の遅延手段の入出力間の遅延量がおおよそ1チャンネルビットの時間となる遅延設定値を求め、該遅延設定値に基づいて記録パルスの所定のエッジ位置を補正することを特徴とする請求項1に記載の情報記録装置。

【請求項10】 前記記録パルス位置補正手段は、前記遅延量測定手段による遅延量測定結果を用いて、前記遅延手段の遅延量の異なる2つの出力間の遅延量の差が略1チャンネルビット時間となるような遅延設定値を求め、該遅延設定値に基づいて記録パルスの所定のエッジ位置を補正することを特徴とする請求項1に記載の情報記録装置。

【請求項11】 前記記録パルス位置補正手段は、前記記録パルス生成手段により生成される記録パルスのエッジ位置を、記録マークのビット長、直前のスペース長又は直後のスペース長により各々異なる位置に補正することを特徴とする請求項1に記載の情報記録装置。

【請求項12】 記録データに従い変調された記録パルスを用いてレーザパワーを制御しながら光ディスクへデータの記録を行う情報記録方法であって、データの記録を行っていない期間に記録パルスのエッジ位置の補正を行う補正ステップと、該エッジ位置が補正された記録パルスを用いてデータの記録を行う記録ステップとからなることを特徴とする情報記録方法。

【請求項13】 記録データに従い変調された記録パルスを用いてレーザパワーを制御しながら光ディスクへデータの記録を行う情報記録方法であって、データの記録を行う記録ステップと、該記録されたデータのベリファイ動作を行うベリファイステップと、該ベリファイ結果を参照し、記録されたデータのエラー状態に基づいて記録パルスのエッジ位置を補正するか否かを判断する判断ステップと、該判断結果に基づき、記録パルスのエッジ位置を補正すると判断された場合のみ記録パルスのエッジ位置の補正を行う補正ステップとからなることを特徴とする情報記録方法。

【請求項14】 前記判断ステップでは、過去に実行された複数のベリファイ結果における再生データのエラー状態を参照し、記録パルスのエッジ位置を補正するか否かを判断することを特徴とする請求項12または請求項

【請求項15】 前記補正ステップは、記録パルス生成手段の遅延手段の遅延量を測定し、該遅延量の測定結果に基づき記録パルスの前記所定のエッジ位置を補正することを特徴とする請求項12または13に記載の情報記録方法。

【請求項16】 前記補正ステップは、記録パルス生成手段の遅延手段の遅延量を決定する選択信号値を設定するステップと、設定された前記選択信号値に対する遅延量の測定結果を読み取るステップと、前記遅延量の測定結果を用いて、遅延量が記録パルス生成手段で用いるクロックの一周期時間 T_w となる選択信号値を求めるステップと、求められた前記選択信号値に基づいて、予め与えられた記録パルスのエッジ位置に関する時間テーブルを選択信号値の設定値テーブルに変換するステップとからなる請求項12または請求項13に記載の情報記録方法。

【請求項17】 前記時間 T_w は、記録データの1チャンネルビットに相当する時間であることを特徴とする請求項16に記載の情報記録方法。

【請求項18】 前記時間テーブルは、記録パルスの位置可変なエッジ位置に関する時間情報を含むことを特徴とする請求項16に記載の情報記録方法。

【請求項19】 前記時間テーブルは、記録すべきデータのマーク長さ毎に個別の時間情報を有することを特徴とする請求項16に記載の情報記録方法。

【請求項20】 前記時間テーブルは、記録すべきデータのマーク長さとの直前のスペース長さとの組み合わせ毎に個別の時間情報を有することを特徴とする請求項16に記載の情報記録方法。

【請求項21】 前記時間テーブルは、記録すべきデータのマーク長さとの直後のスペース長さとの組み合わせ毎に個別の時間情報を有することを特徴とする請求項16に記載の情報記録方法。

【請求項22】 前記パルス補正ステップは、複数段の遅延手段からなる記録パルス生成手段において、所定段数の遅延手段を含む遅延手段群毎に遅延量を測定し、その測定した各遅延手段群に対する遅延量に基づいて、予め与えられた記録パルスのエッジ位置を決定するための前記遅延手段の出力を制御することを特徴とする請求項12または請求項13に記載の情報記録方法。

【請求項23】 前記パルス補正ステップは、複数段の遅延手段からなる記録パルス生成手段において、所定段数の遅延手段を含む遅延手段群毎に遅延量を測定し、その測定した各遅延手段群に対する遅延量に基づいて前記遅延手段全体の遅延プロファイルを算出し、算出した前記遅延プロファイルに基づいて、予め与えられた記録パルスのエッジ位置を決定するための前記遅延手段の出力を制御することを特徴とする請求項22に記載の情報記録方

【請求項24】 算出する遅延プロファイルは、前記遅延手段群の数と同数の折れ線により表される関数であることを特徴とする請求項23記載の情報記録方法。

【請求項25】 前記パルス補正ステップは、記録パルス生成手段内の遅延手段の総遅延時間の半分以上の周期のクロック信号を用いて前記遅延手段の遅延時間が前記クロック信号の一周期と略一致する領域を検出し、該検出結果に基づいて前記遅延手段の出力を制御し、予め与えられた記録パルスのエッジ位置を決定することを特徴とする請求項12または請求項13に記載の情報記録方法。

【請求項26】 複数のパルス列からなる記録パルスに従いパワー制御されたレーザ光を光ディスクへ照射することで各マークを形成し、前記記録パルスの所定のエッジ位置を適応的に制御することでデータの高精度な記録を行う情報記録方法であって、記録データの変調に用いる T_w/n 周期（ T_w は記録データの1チャンネルビット周期、 n は自然数）の記録クロックを遅延量を適応的に制御しながら遅延させることにより遅延クロックを生成し、該遅延クロックのタイミングにより前記記録パルスの所定のエッジ位置を決定することを特徴とする情報記録方法。

【請求項27】 複数のパルス列からなる記録パルスに従いパワー制御されたレーザ光を光ディスクへ照射することで各マークを形成し、前記記録パルスの所定のエッジ位置を適応的に制御することで光ディスクに対してデータの高精度な記録を行う情報記録方法であって、記録データの変調に用いる T_w/n 周期（ T_w は記録データの1チャンネルビット周期、 n は自然数）の記録クロックを、遅延量を適応的に制御しながら遅延させてなる遅延クロックと、前記記録クロックの立上がりエッジ又は立ち下がりエッジに同期した少なくとも $T_w/2n$ 時間幅のパルス状信号でかつ開始位置を $T_w/2n$ の時間単位で可変制御可能な基準軸ウィンドウ信号とを生成し、前記遅延クロックと前記基準軸ウィンドウ信号のタイミングにより前記記録パルスの所定のエッジ位置を決定することを特徴とする情報記録方法。

【請求項28】 記録パルスの所定のエッジ位置を少なくとも $d \times T_w/2n$ （ d 及び n は自然数、 T_w は1チャンネルビット周期）の時間範囲で適応的に制御する必要がある場合に、基準軸ウィンドウ信号を $T_w/2n$ の時間単位で（ $d+1$ ）種類のタイミングに制御することを特徴とする請求項27に記載の情報記録方法。

【請求項29】 ファーストパルス、1チャンネルビット周期 T_w を有する波形であるマルチパルス列およびラストパルスの少なくとも1つを合成してなる記録パルスに従ってパワー制御されたレーザ光を、光ディスクへ照射することによって1つのマークを形成し、前記ファーストパルスの始端エッジ位置、前記ラストパルスの終端エッジ位置の少なくとも1つを適応的に制御することによ

エッジ位置及び前記ラストパルスの終端エッジ位置のそれぞれは前記マルチパルス列の立上がり位相との間の相対関係に基づいて規定されることを特徴とする光ディスク記録方法であって、

a) 前記マルチパルス列の立上がり位相もしくは前記立上がり位相から略180度遅れの位相に対して少なくとも $\pm Tw/4n$ 範囲(n は自然数)の相対時間で遅延制御した Tw/n 周期のファーストパルス基準クロックと、

前記マルチパルス列の立上がり位相もしくは前記立上がり位相から略180度遅れの位相に対して少なくとも $\pm Tw/4n$ の時間範囲で遅延制御した周期 Tw のラストパルス基準クロックと、

前記マルチパルス列の立上がり位相もしくは前記立上がり位相から略180度遅れの位相に同期し、少なくとも前記ファーストパルス基準クロック1周期分の幅を持つパルス状信号で、開始位置を $Tw/2n$ の時間単位で可変制御可能なファーストパルス基準軸ウィンドウ信号と、

前記マルチパルス列の立上がり位相もしくは該立上がり位相から略180度遅れの位相に同期し、少なくとも前記ラストパルス基準クロック1周期分の幅を持つパルス状信号で、開始位置を $Tw/2n$ の時間単位で可変制御可能なラストパルス基準軸ウィンドウ信号とを生成し、

b) 前記ファーストパルス基準クロックと前記ファーストパルス基準軸ウィンドウ信号のタイミングにより前記ファーストパルスの始端エッジ位置を決定し、前記ラストパルス基準クロックと前記ラストパルス基準軸ウィンドウ信号のタイミングにより前記ラストパルスの終端エッジ位置を決定することを特徴とする情報記録方法。

【請求項30】 記録すべきデータを変調した記録パルスによりパワー値を切替えてなるレーザ光を光ディスクに照射することでデータの記録を行う情報記録装置であって、

Tw/n 周期(Tw は記録データの1チャンネルビット周期、 n は自然数)の記録クロックを生成する記録クロック生成手段と、

前記記録クロックを遅延させて互いに遅延量の異なる m 種類(m は自然数)の遅延クロックを生成するクロック遅延手段と、

前記記録データと前記記録クロックとを用いて、前記記録クロックの少なくとも1周期分の幅を持つパルス基準信号を m 種類生成するパルス基準信号生成手段と、

m 種類の前記遅延クロックのいずれか1つと m 種類の前記パルス基準信号のいずれか1つを対応させて m 種類のパルスタイミング信号を生成するパルスタイミング信号生成手段と、

m 種類の前記遅延クロックの遅延量を制御する遅延量制

m 種類の前記パルスタイミング信号を用いて記録パルスを合成する記録パルス合成手段とを備え、

前記記録パルスにおける m 個所の所定のエッジ位置を可変にしことを特徴とする情報記録装置。

【請求項31】 記録すべきデータを変調した記録パルスによりパワー値を切替えてなるレーザ光を光ディスクに照射することでデータの記録を行う情報記録装置であって、

Tw/n 周期(Tw は記録データの1チャンネルビット周期、 n は自然数)の記録クロックを生成する記録クロック生成手段と、

前記記録クロックを遅延させて互いに遅延量の異なる m 種類(m は自然数)の遅延クロックを生成するクロック遅延手段と、

前記記録データと前記記録クロックを用いて、前記記録クロックの少なくとも1周期分の幅を持つパルス状の信号でかつ開始位置を $Tw/2n$ の時間単位で可変な m 種類のパルス基準信号を生成するパルス基準信号生成手段と、

m 種類の前記遅延クロックのうちのいずれか1つと、 m 種類の前記パルス基準信号のいずれか1つとを対応させて、 m 種類のパルスタイミング信号を生成するパルスタイミング信号生成手段と、

m 種類の前記遅延クロックの遅延量及び m 種類のパルス基準信号のタイミングを制御する遅延量制御手段と、

m 種類の前記パルスタイミング信号を用いて記録パルスを合成する記録パルス合成手段とを備え、

前記記録パルスにおける m 個所の所定のエッジ位置を可変にしたことを特徴とする情報記録装置。

【請求項32】 前記クロック遅延手段は、各々の入出力が直列に接続された複数のインバータ素子と、前記各インバータ素子の出力を選択する選択手段とを備えており、

前記遅延量制御手段により前記選択手段の出力選択を制御することで遅延クロックの遅延量を制御することを特徴とする請求項30または31に記載の情報記録装置。

【請求項33】 前記クロック遅延手段は、各々の入出力が直列に接続された複数のバッファ素子と、前記各バッファ素子の出力を選択する選択手段とを備えており、前記遅延量制御手段により前記選択手段の出力選択を制御することで遅延クロックの遅延量を制御することを特徴とする請求項30または31に記載の情報記録装置。

【請求項34】 前記クロック遅延手段は電圧制御型遅延素子からなり、

前記電圧制御型遅延素子の制御電圧は前記遅延量制御手段により制御されることにより遅延クロックの遅延量を制御することを特徴とする請求項30または31に記載の情報記録装置。

【請求項35】 前記パルスタイミング信号生成手段は

ックが前記m個のDフリップフロップのクロック入力端子にそれぞれ接続され、m種類のパルス基準信号が前記DフリップフロップのD入力端子にそれぞれ接続され、m個の前記DフリップフロップのQ出力端子よりm種類のパルスタイミング信号を取り出すことを特徴とする請求項30または31に記載の情報記録装置。

【請求項36】 前記クロック遅延手段の遅延量を測定する遅延量測定手段をさらに備えており、該遅延量測定手段による遅延量測定結果に基づいて前記遅延量制御手段がm種類の遅延クロックの遅延量を制御することを特徴とする請求項30または31に記載の情報記録装置。

【請求項37】 記録データに従い変調された記録パルスを用いてレーザパワーを制御しながら光ディスクヘータの記録を行う情報記録方法であって、光ディスクヘータを記録する装置の温度を検出するステップと、検出した温度変化を判断するステップと、温度変化の判断に基き、温度変化が所定以上であると判断された場合のみ記録パルスのエッジ位置の補正を行うステップと、エッジ位置を補正した記録パルスを用いてデータの記録を行うステップとからなることを特徴とする情報記録方法。

【請求項38】 記録データに従い変調された記録パルスを用いてレーザパワーを制御しながら光ディスクヘータの記録を行う情報記録方法であって、光ディスクヘータを記録する装置の電源電圧を測定するステップと、測定した電源電圧の変化を判断するステップと、電源電圧の変化の判断に基き、電源電圧変化が所定以上であると判断された場合のみ記録パルスのエッジ位置の補正を行うステップと、エッジ位置を補正した記録パルスを用いてデータの記録を行うステップとからなることを特徴とする情報記録方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は光ディスク等の情報記録媒体へ情報を記録するための技術に関する。

【0002】

【従来の技術】 近年、DVD-RAM等の光ディスクは大容量の情報記録媒体として注目され、コンピュータの外部記憶装置や映像音声記録用として開発及び商品化が進められている。一般に、光ディスクでは、ディスク面に螺旋状もしくは同心円状のトラックを設け、レーザビームを前記トラックに沿って照射することにより情報の記録・再生を行うようになっている。また、前記トラックは更に情報データの記録・再生の最小単位となる複数のセクタに分割されている。

て、データを記録すべきトラックに照射するレーザビームの強度を記録すべきデータに応じて変調する光変調記録方法が一般に知られており、代表的には、相変化型光ディスク、有機色素型光ディスク、光磁気ディスク等、広範囲な光ディスク材料に対して適用可能な記録方法である。

【0004】 また、光ディスクヘータを高密度に記録する方式として、パルス幅変調方式（以下「PWM方式」という。）が知られている。PWM方式は、記録マークの前端及び後端のエッジがデジタル信号の1に対応するように変調する方式であり、記録マークの位置がデジタル信号の1に対応するように変調するパルス位置変調方式に比べ、同一長さの記録マーク中により多くのビットを割り当てることができるため、高密度化に適している。

【0005】 PWM方式では、記録マークの幅に情報を持つため、記録マークを歪みなく、即ち前端と後端で均質に形成する必要がある。しかし相変化型光ディスク等で記録膜の蓄熱効果により、特に長いマークを記録する場合に、記録マークの半径方向の幅が後半部ほど大きくなり、いわゆる涙滴状に歪むという課題がある。これを解決するために、1つの記録マークを複数の短パルス列の照射により形成する記録方法が提案されている（例えば、特開平3-185628号公報に開示された方法がある）。

【0006】 また、記録パルス列のうち記録マーク始端部分と記録マーク終端部分に相当するパルス位置を、記録すべきデータのマーク長／スペース長毎に、変化させて記録することで、マーク間の熱干渉や再生時の周波数特性によるピークシフトを補償する方法も提案されている（例えば、特開平7-129959号公報に開示された方法がある）。上述したように記録パルスの位置を変化させることにより記録マークを品質良く形成せしめることを一般に「記録補償」と呼ぶ。

【0007】

【発明が解決しようとする課題】 記録補償のために記録パルスの位置を変化させる場合、記録データの1チャンネルビットよりもごく短い時間単位で、記録パルスのエッジ位置を変化させる必要があるため、1チャンネルビット周期のクロック信号を用いた同期回路で記録パルスを生成することは困難である。そのため、一般的には遅延量を制御可能な信号遅延手段を用いて、記録パルスの位置を変化させる構成が採られている（例えば、特開平7-129959号公報に開示されている。）。

【0008】 ところが、前記信号遅延手段において、一般的に電源電圧や温度などの変化に対して、その遅延量に変化しやすい。電源電圧変動・温度変動等による遅延量の変化が比較的小さい場合には記録データの品質に影響を与えることはないが、遅延量の変化が比較的大きい

まうため、記録マークを正しく形成できなくなり、記録・再生特性を悪化させてしまうことになる。

【0009】従来の光ディスク記録装置では、特定のマーク長／スペース長に対する遅延量の設定は固定的に定められており、電源電圧や温度などの変動により、記録パルスの位置ずれが起きても、それを補正するような手段は設けられていなかった。

【0010】また、従来の光ディスク記録装置では、記録パルスにおける複数のパルス部位を異なる遅延量で変化させる場合、パルス部位毎に別々の信号遅延手段を設けて、個別に制御する構成を採っていた。このため、独立に変化させる必要のあるパルス部位の数だけ別々の信号遅延手段が必要となり、回路規模が大きくなる傾向にあった。さらに、パルス部位の位置可変範囲が大きくなればなるほど、個々の信号遅延手段に要求される遅延長さも長くなり、回路規模が膨大になるという課題があった。

【0011】

【課題を解決するための手段】上述の課題に鑑み、本発明の情報記録装置及び情報記録方法は、下記の問題点を解決する手段を提供することを目的とする。

(目的1) 光ディスクに情報を記録する装置の電源電圧変動や温度変動等の環境変化によっても、高精度な記録を行うこと。

(目的2) 記録パルスの高精度かつ広範囲な位置制御を小さい回路規模で実現すること。

【0012】上記(目的1)を達成するために、本発明に係る情報記録装置は、記録すべきデータに従い変調された少なくとも2種類のパワー値に変調してなるレーザ光を照射することにより光ディスクにデータを記録する情報記録装置である。その情報記録装置は、遅延手段を備え、記録すべきデータを変調してパルス信号を生成し、その備えた遅延手段により前記パルス信号の所定のエッジ位置を補正し、その補正した記録パルスを出力する記録パルス生成手段と、記録パルス信号によりパワー値を切り替えながらレーザを駆動するレーザ駆動手段と、遅延手段における遅延量を測定する遅延量測定手段と、遅延量測定手段における遅延量測定結果に基づいて記録パルスの所定のエッジ位置を補正する記録パルス位置補正手段とを備える。

【0013】前記レーザ駆動手段は複数の電流源と、各々の電流源からの出力電流のレーザへの供給を独立にオン／オフする複数のスイッチを備えてもよく、記録パルス生成手段は複数の記録パルスをレーザ駆動手段へ出力し、複数の記録パルスにより複数のスイッチのオン／オフを制御してもよい。また、前記記録パルス生成手段は、記録すべきデータを変調して基準となるパルス信号を生成するパルスタイミング生成手段と、その基準となるパルス信号を入力とし外部から遅延量を可変な遅延パ

い。

【0014】また、前記記録パルス生成手段の遅延手段は、各々の入出力が直列に接続された複数のインバータ素子と、各インバータ素子の出力を選択する選択手段とを備えてもよく、記録パルス位置補正手段により選択手段の出力選択を制御することで記録パルスの所定のエッジ位置を補正するようにしてもよい。

【0015】または、前記記録パルス生成手段の遅延手段は、各々の入出力が直列に接続された複数のバッファ素子と、各バッファ素子の出力を選択する選択手段とを備えてもよい。

【0016】または、前記記録パルス生成手段の遅延手段は、電圧制御型遅延素子から構成されてもよく、記録パルス位置補正手段により電圧制御型遅延素子の制御電圧を制御することで記録パルスの所定のエッジ位置を補正するようにしてもよい。

【0017】また、前記遅延量測定手段は、記録パルス生成手段の遅延手段の入出力間の遅延量を、遅延測定用クロック信号を用いて測定してもよい。

【0018】または、前記遅延量測定手段は、記録パルス生成手段に内蔵の遅延手段の遅延量の異なる2種類の出力間の遅延差を、遅延測定用クロック信号を用いて測定してもよい。

【0019】また、前記記録パルス位置補正手段は、遅延量測定手段による遅延量測定結果を用いて、記録パルス生成手段に内蔵の遅延手段の入出力間の遅延量がおおよそ1チャンネルビットの時間となる遅延設定値を求め、その遅延設定値に基づいて記録パルスの所定のエッジ位置を補正するようにしてもよい。

【0020】また、前記記録パルス位置補正手段は、遅延量測定手段による遅延量測定結果を用いて、前記記録パルス生成手段に内蔵の遅延手段の遅延量の異なる2種類の出力間の遅延差がおおよそ1チャンネルビットの時間となる遅延設定値を求め、その遅延設定値に基づいて記録パルスの所定のエッジ位置を補正するようにしてもよい。

【0021】また、前記記録パルス位置補正手段は、記録パルス生成手段により生成される記録パルスの所定のエッジ位置を、記録マークのビット長もしくは直前のスペース長もしくは直後のスペース長により各々異なる位置に補正するようにしてもよい。

【0022】また、本発明に係る情報記録方法は、記録パルス生成手段により生成された記録パルスを用いて、レーザパワーを制御しながら光ディスクへデータの記録を行う情報記録方法であって、データの記録を行っていない期間に記録パルスのエッジ位置の補正を行う記録パルス補正ステップと、記録パルス補正ステップでエッジ位置が補正された記録パルスを用いてデータの記録を行うデータ記録ステップとからなる。

記録パルス生成手段により生成された記録パルスを用いて、レーザパワーを制御しながら光ディスクヘデータの記録を行う光ディスク記録方法であって、データの記録を行うデータ記録ステップと、前記データ記録ステップで記録されたデータのベリファイ動作を行うベリファイステップと、前記ベリファイステップにおける再生データのエラー状態に基づいて記録パルスのエッジ位置の補正を行うかどうか判断する判断ステップと、その判断ステップにおいて記録パルスのエッジ位置の補正を行うと判断された場合のみ記録パルスのエッジ位置の補正を行う記録パルス補正ステップとからなる。

【0024】前記判断ステップでは、好ましくは、過去に実行された複数のベリファイステップにおける再生データのエラー状態を参照し、記録パルスのエッジ位置を補正を行うかどうか判断する。

【0025】前記記録パルス補正ステップは、好ましくは、記録パルス生成手段に内蔵される遅延手段の遅延量を測定し、その遅延量の測定結果を基に記録パルスの所定のエッジ位置を補正する。

【0026】また、前記記録パルス補正ステップは、好ましくは、記録パルス生成手段の遅延手段の遅延量を決定する選択信号値を設定するステップと、設定された前記選択信号値に対する遅延量の測定結果を読み取るステップと、遅延量の測定結果を用いて遅延量が T_w (T_w は記録パルス生成手段で用いるクロックの1周期と等しい時間)となる選択信号値を求めるステップと、求められた前記選択信号値に基づいて、予め与えられた記録パルスのエッジ位置に関する時間テーブルを選択信号値の設定値テーブルに変換するステップとからなる。

【0027】時間 T_w は記録データの1チャンネルビットに相当する時間であっても良い。また、前記時間テーブルは、記録パルスの各エッジのうち少なくとも可変なエッジ位置に関する時間情報を全て含んでいることが望ましい。さらに、前記時間テーブルは、記録すべきデータのマーク長さ毎に個別の時間情報を有してもよいし、記録すべきデータのマーク長ささと直前のスペース長さの組み合わせ毎に個別の時間情報を有してもよいし、記録すべきデータのマーク長ささと直後のスペース長さの組み合わせ毎に個別の時間情報を有してもよい。

【0028】また、前記パルス補正ステップでは、複数段の遅延手段からなる記録パルス生成手段において、所定段数の遅延手段を含む遅延手段群毎に遅延量を測定し、その測定した各遅延手段群に対する遅延量に基づいて、予め与えられた記録パルスのエッジ位置を決定するための遅延手段の出力を制御してもよい。このとき、パルス補正ステップでは、好ましくは、複数段の遅延手段からなる記録パルス生成手段において、所定段数の遅延手段を含む遅延手段群毎に遅延量を測定し、その測定した各遅延手段群に対する遅延量に基づいて前記遅延手段全

ファイルに基いて、予め与えられた記録パルスのエッジ位置を決定するための前記遅延手段の出力を制御するようにする。さらに、算出する遅延プロファイルは、遅延手段群の数と同数の折れ線により表される関数であってもよい。また、パルス補正ステップでは、記録パルス生成手段の遅延手段の総遅延時間の半分以上の周期のクロック信号を用いて遅延手段の遅延時間がクロック信号の一周期と略一致する領域を検出し、その検出結果に基づいて遅延手段の出力を制御し、予め与えられた記録パルスのエッジ位置を決定するようにしてもよい。

【0029】上記(目的2)を達成するために、本発明に係るさらなる情報記録方法は、複数のパルス列からなる記録パルスに従いパワー制御されたレーザ光を光ディスクへ照射することで各マークを形成し、前記記録パルスの所定のエッジ位置を適応的に制御することでデータの高精度な記録を行う情報記録方法であって、記録データの変調に用いる T_w/n 周期 (T_w は記録データの1チャンネルビット周期、 n は自然数)の記録クロックを適応的に遅延量を制御しながら遅延させた遅延クロックを生成し、遅延クロックのタイミングにより記録パルスの所定のエッジ位置を決定する。

【0030】また、別の情報記録方法は、記録データの変調に用いる T_w/n 周期の記録クロックを適応的に遅延量を制御しながら遅延させた遅延クロックと、記録クロックの立上がりエッジもしくは立ち下がりエッジに同期した少なくとも T_w/n 時間幅のパルス状信号でかつ開始位置を $T_w/2n$ の時間単位で可変制御可能な基準軸ウィンドウ信号を生成し、遅延クロックと基準軸ウィンドウ信号のタイミングにより記録パルスの所定のエッジ位置を決定する。

【0031】また、記録パルスの所定のエッジ位置を少なくとも $d \times T_w/2n$ (d 及び n は自然数)の時間範囲で適応的に制御する必要がある場合には、基準軸ウィンドウ信号を $T_w/2n$ の時間単位で $(d+1)$ 種類のタイミングに制御することが望ましい。

【0032】また、本発明に係る異なる情報記録方法は、ファーストパルス、 T_w 周期の繰り返し波形であるマルチパルス列、ラストパルスのうちの少なくとも1つを合成してなる記録パルスに従ってパワー制御されたレーザ光を光ディスクへ照射することで1つのマークを形成し、ファーストパルスの始端エッジ位置、ラストパルスの終端エッジ位置の少なくとも1つを適応的に制御することでデータの高精度な記録を行い、ファーストパルスの始端エッジ位置及びラストパルスの終端エッジ位置はマルチパルス列の立上がり位相との相対関係に基づいて規定される光ディスク記録方法である。その方法は、a) マルチパルス列の立上がり位相もしくはその立ち上がり位相から略180度遅れの位相に対して少なくとも

期のファーストパルス基準クロックと、マルチパルス列の立上がり位相もしくは立ち上がり位相から略180度遅れの位相に対して少なくとも $\pm T_w/4n$ の時間範囲で遅延制御した T_w 周期のラストパルス基準クロックと、マルチパルス列の立上がり位相もしくは立ち上がり位相から略180度遅れの位相に同期し、少なくとも前記ファーストパルス基準クロックの1周期幅のパルス状信号で、開始位置を $T_w/2n$ の時間単位で可変制御可能なファーストパルス基準軸ウィンドウ信号と、マルチパルス列の立上がり位相もしくは立ち上がり位相から略180度遅れの位相に同期し、少なくとも前記ラストパルス基準クロックの1周期幅を持つパルス状信号で、開始位置を $T_w/2n$ の時間単位で可変制御可能なラストパルス基準軸ウィンドウ信号とを生成し、

b) ファーストパルス基準クロックとファーストパルス基準軸ウィンドウ信号のタイミングによりファーストパルスの始端エッジ位置を決定し、ラストパルス基準クロックとラストパルス基準軸ウィンドウ信号のタイミングによりラストパルスの終端エッジ位置を決定してもよい。

【0033】また、本発明に係る異なる情報記録装置は、記録すべきデータを変調した記録パルスによりパワー値を切替えてなるレーザ光を光ディスクに照射することでデータの記録を行う光ディスク記録装置である。その光ディスク装置は、 T_w/n 周期の記録クロックを生成する記録クロック生成手段と、記録クロックを遅延させて互いに遅延量の異なる m 種類(m は自然数)の遅延クロックを生成するクロック遅延手段と、記録データと記録クロックを用いて少なくとも記録クロック1周期幅以上のパルス基準信号を m 種類生成するパルス基準信号生成手段と、 m 種類の遅延クロックのいずれか1つと m 種類のパルス基準信号のいずれか1つを対応させて m 種類のパルスタイミング信号を生成するパルスタイミング信号生成手段と、 m 種類の遅延クロックの遅延量を制御する遅延量制御手段と、 m 種類のパルスタイミング信号を用いて記録パルスを合成する記録パルス合成手段とを備え、記録パルスにおける m 個所の所定のエッジ位置を可変にする。

【0034】また、さらに異なる情報記録装置は、 T_w/n 周期の記録クロックを生成する記録クロック生成手段と、記録クロックを遅延させて互いに遅延量の異なる m 種類の遅延クロックを生成する総遅延量が $T_w/2n$ 以上の長さのクロック遅延手段と、記録データと記録クロックを用いて、記録クロックの少なくとも1周期分の幅を持つパルス状の信号でかつ開始位置を $T_w/2n$ の時間単位で可変な m 種類のパルス基準信号を生成するパルス基準信号生成手段と、 m 種類の遅延クロックのいずれか1つと m 種類のパルス基準信号のいずれか1つを対応させて m 種類のパルスタイミング信号を生成するパル

スタイミング信号のタイミグを制御する遅延量制御手段と、 m 種類のパルスタイミング信号を用いて記録パルスを合成する記録パルス合成手段を備え、記録パルスにおける m 個所の所定のエッジ位置を可変にする。

【0035】ここで、前記パルスタイミング信号生成手段を、 m 個のDフリップフロップから構成し、 m 種類の遅延クロックが m 個のDフリップフロップのクロック入力端子にそれぞれ接続され、 m 種類のパルス基準信号がDフリップフロップのD入力端子にそれぞれ接続され、 m 個のDフリップフロップのQ出力端子より m 種類のパルスタイミング信号を取り出すようにしてもよい。

【0036】また、クロック遅延手段の遅延量を測定する遅延量測定手段をさらに設けてもよく、遅延量制御手段は、その遅延量測定手段による遅延量測定結果に基づいて m 種類の遅延クロックの遅延量を制御するようにしてもよい。

【0037】本発明に係る別の情報記録方法は、記録データに従い変調された記録パルスを用いてレーザパワーを制御しながら光ディスクヘータの記録を行う光ディスク記録方法であって、光ディスクヘータを記録する装置の温度を検出するステップと、検出した温度変化を判断するステップと、温度変化の判断に基き、温度変化が所定以上であると判断された場合のみ記録パルスのエッジ位置の補正を行うステップと、エッジ位置を補正した記録パルスを用いてデータの記録を行うステップとからなる。このとき、光ディスクヘータを記録する装置の温度のかわりに、その電源電圧を測定し、この測定した電源電圧の変化を判断し、記録パルスのエッジ位置の補正を行うようにしてもよい。

【0038】

【発明の実施の形態】以下、本発明に係る光ディスクに対して情報を記録する光ディスク装置の実施形態を添付の図面を参照して詳細に説明する。

【0039】<光ディスク装置の構成>図1は本発明に係る光ディスク装置の構成を示すブロック図である。図1において、ディスクモータ102は、光ディスク101を所定の回転数で回転させる。光ヘッド103は、図示していないが半導体レーザ、光学系、光検出器等を内蔵しており、半導体レーザより発光されたレーザ光が光学系により集光されて光ディスク101の記録面に光スポットを照射することにより、データの記録再生を行う。また記録面からの反射光は、光ヘッド103内の光学系により集光された後、光検出器で電流に変換され、さらに増幅器104で電圧変換及び増幅され、再生信号として出力される。

【0040】サーボ制御部105は、ディスクモータ102の回転制御、光ヘッド103を光ディスク101の半径方向に移動させる移送制御、記録面に光スポットの

に光スポットをトラッキングさせるためのトラッキング制御を行う。なお、フォーカス制御及びトラッキング制御には、増幅器 104 の出力である再生信号のうち、フォーカス誤差信号（光ディスク 101 の記録面と略垂直な方向における記録面からの光スポットのずれを示す電気信号）及びトラッキング誤差信号（光ディスク 101 の記録面上での所定トラックからの光スポットのずれを示す電気信号）を用いる。

【0041】再生信号処理部 106 は、増幅器 104 の出力である再生信号から、光ディスク 101 に記録されたデータに相当する信号成分を取り出し、取り出した信号を 2 値化し、2 値化データと基準クロックから、内蔵の PLL（Phase Locked Loop の略：位相同期ループ）によりリードクロックとリードクロックに同期したリードデータを生成する。

【0042】レーザ駆動部 108 は、アドレス及びデータの再生時には再生用のパワーで、記録時には記録用のパワーで、光ヘッド 103 に内蔵される半導体レーザが発光するようにレーザ駆動信号を発生する。

【0043】フォーマットエンコーダ/デコーダ 107 は、再生信号処理部 106 から出力されたリードクロックとリードデータより、光ディスク 101 に記録されたアドレス情報を再生し、再生されたアドレス位置を基準として光ディスク 101 のセクタに同期したタイミングで記録再生に必要な各タイミング信号を発生供給する役割を有する。たとえば、再生信号処理部 106 ヘアドレスまたはデータの 2 値化・PLL 処理に必要なリードゲート等のタイミング信号を出力したり、レーザ駆動部 108 へは記録時に、記録用のパワーの発光を許可するライトゲート等のタイミング信号を出力することにより、正しいタイミングでデータの記録再生を行うことが可能となる。

【0044】また、フォーマットエンコーダ/デコーダ 107 は、記録時には、ホストインタフェース 109 を通じて装置外部から供給されるユーザデータに誤り訂正符号等の冗長データを付加し、所定のフォーマットに従い変調したビット系列を、さらに内蔵の記録パルス生成部 111 で所定の記録パルス信号に加工し、レーザ駆動部 108 へ出力する。また再生時には、再生信号処理部 106 より出力されたリードクロックとリードデータより、光ディスク 101 に記録されたアドレス情報及びデータの復調・誤り訂正処理を行い、訂正後のデータをホストインタフェース 109 を通じて装置外部へ送信する。

【0045】またフォーマットエンコーダ/デコーダ 107 には、記録パルス位置補正部 112 及び遅延量測定部 113 が内蔵されている。記録パルス位置補正部 112 は、記録パルス生成部 111 により生成される記録パルス信号の位置に関する設定を行い、記録パルス信号の

は、記録パルス生成部 111 によるパルスの遅延量を測定する役割を持っている。遅延量測定及び記録パルス位置補正の具体的動作については後述する。

【0046】システム制御部 110 は、本装置全体、すなわち、ホストインタフェース 109 を通じて装置外部から供給されるコマンド（命令）を解釈して、光ディスク 101 の所定のセクタに対して、データの記録・再生がなされるように、サーボ制御部 105、再生信号処理部 106、フォーマットエンコーダ/デコーダ 107、レーザ駆動部 108、及びホストインタフェース 109 等の装置各部の動作を制御する。

【0047】図 2 は、レーザ駆動部 108 の内部構成の一例を説明するブロック図である。レーザ駆動部 108 への入力としては、レーザパワー値を決めるためのパワー設定 205 と、記録パルス生成部 111 において記録すべきデータに従い変調された 3 種類の記録パルス 206a、206b、206c がある。記録パルス生成部 111 による記録パルス 206a、206b、206c の発生方法については後ほど詳しく述べる。レーザ駆動部 108 からの出力としては、光ヘッド 103 に内蔵された半導体レーザ 201 を発光させるための出力電流 207 がある。

【0048】レーザ駆動部 108 には、電流値制御部 204、4 つの電流源 203a、203b、203c、203d、並びに 3 つのスイッチ 202a、202b、202c が内蔵されている。電流値制御部 204 は、システム制御部 110 からのパワー設定 205 を受けて、4 つの電流源 203a、203b、203c、203d のそれぞれの出力電流値を制御する。スイッチ 202a は、記録パルス生成部 111 より供給される記録パルス 206a に応じて、電流源 203a の出力電流の、半導体レーザ 201 への供給をオン/オフする。

【0049】同様に、スイッチ 202b は、記録パルス 206b に応じて、電流源 203b の出力電流の、半導体レーザ 201 への供給をオン/オフする。同様に、スイッチ 202c は、記録パルス 206c に応じて、電流源 203c の出力電流の、半導体レーザ 201 への供給をオン/オフする。電流源 203d は、光ヘッド 103 に内蔵の半導体レーザ 201 のアノード側に直接接続されており、電流源 203d の出力電流はベース電流として常に半導体レーザ 201 に供給されている。

【0050】また、各スイッチ 202a、202b、202c は、半導体レーザ 201 のアノード側に並列に接続されている。これにより、半導体レーザ 201 へ流れる出力電流 207 は、各スイッチ 202a、202b、202c を通して供給される各電流源 203a、203b、203c と、電流源 203d の出力電流との合計となる。このようにして、半導体レーザ 201 に流される電流値に応じて、言うまでもないがレーザ光のパワー、

制御される。

【0051】図3(a)は、記録パルス生成部111による記録パルス206a、206b、206cの発生タイミング例、並びに半導体レーザ201の発光波形例、それに伴い光ディスク上に形成される記録マークについて、模式的に説明する図である。本例では、記録すべきデータに伴いランレングス(ビット1からビット1までに継続するビット0の数)が2から10の範囲で制限される変調規則により変調された1、0のビット系列に対し、ビット1のときのみ信号の論理を反転させるNRZI(Non Return to Zero Inverted)の形式によりデータの変調を行い、従来の技術で述べたPWM方式により記録を行うものとする。つまり、NRZIのHレベル/Lレベルの幅、即ち記録マーク長/スペース長は、それぞれ3Tから11Tの範囲で制限されているとする。

【0052】図3(a)において、時間は左から右の方向に流れるとし、変調データ208は記録パルス生成部111への入力であり、図では6Tマークに相当する波形を示している。パルス基準クロック301は、その周期が1チャンネルビットの時間長となるクロックであり、記録パルス生成部111における記録パルス生成処理の基準として用いられる。各記録パルス206a、206b、206cは、変調データ208とパルス基準クロック301のタイミングに応じて、図3に示すようなタイミングで生成される。半導体レーザ201の発光波形は、各記録パルス206a、206b、206cのタイミングに応じて、図に示すような形状となる。

【0053】1つのマーク(本例の場合6Tマーク)を記録するための発光波形は、複数のパルス部に分割されており、時間的に早い方から順に、ファーストパルス部、マルチパルス部、ラストパルス部、クーリングパルス部と呼ぶ。相変化型光ディスクなど熱により記録膜に変化を与えるような記録方式においては、本例のように時系列的に複数のパルス部により1つの記録マークを形成する方法が有効であることが知られている。例えば、マルチパルス部は高いパワーと低いパワーを断続的に与えることで、従来技術で述べたように比較的長いマークを記録する場合にマークの形状が涙滴型になるのを防ぐ。また、クーリングパルス部は、次のマークを記録する際の熱の影響を遮断する役割を果たしている。

【0054】一方、図3(a)において発光波形の縦方向、即ち振幅は、レーザの発光パワーを示しており、そのパワー値は低い順に、バイアスパワー3、バイアスパワー2、バイアスパワー1、ピークパワーの4種類に分けられる。相変化記録の場合、バイアスパワー1に相当するパワーを照射することにより記録膜の相を結晶化し、ピークパワーに相当するパワーを照射することにより記録膜の相をアモルファス化する。基本的にピークパワーの照射によりアモルファス化した部分を記録マーク

ー3のパワーは記録膜に与える熱を一時的に小さくする。

【0055】<レーザ駆動部の動作>次に、この4種類のパワーと、図2にて説明したレーザ駆動部108の動作との関係について説明する。まず、バイアスパワー3は、図2の例において、スイッチ202a、202b、202cを全てオフに、即ち記録パルス206a、206b、206cを全てL(LOW)レベルにすることで実現される。このとき、電流源203dの出力電流のみが半導体レーザ201に供給され、振幅Pdに相当するパワーで半導体レーザ201が発光する。

【0056】バイアスパワー2は、スイッチ202aのみをオン、スイッチ202b、202cを共にオフに、即ち記録パルス206aをH(High)レベル、記録パルス206b、206cをLレベルにすることで実現できる。このとき、電流源203aの出力電流と、電流源203dの出力電流との合計が半導体レーザ201へ供給され、振幅Pa+Pdに相当するパワーで半導体レーザ201が発光する。

【0057】バイアスパワー1は、スイッチ202a、202bを共にオン、スイッチ202cをオフに、即ち記録パルス206a、206bをHレベル、記録パルス206cをLレベルにすることで実現できる。このとき、電流源203a、203b、203dの出力電流の合計が半導体レーザ201へ供給され、振幅Pa+Pb+Pdに相当するパワーで半導体レーザ201が発光する。ピークパワーは、スイッチ202a、202b、202cを全てオンに、即ち記録パルス206a、206b、206cを全てHレベルにすることで実現できる。このとき、4つの電流源203a、203b、203c、203dの全ての出力電流の合計が半導体レーザ201へ供給され、振幅Pa+Pb+Pc+Pdに相当するパワーで発光する。

【0058】ここで、パワー振幅Pa、Pb、Pc、Pdは、それぞれ電流値制御部204に対して行われるパワー設定205により制御される。例えば、電流値制御部204は、各パワー振幅Pa、Pb、Pc、Pdに関する設定値を別々に保持し、パワー設定205により設定された値に相当するパワー振幅となるように各電流源203a、203b、203c、203dの電流を独立に制御する。この構成により、パワー振幅Pa、Pb、Pc、Pdはそれぞれ独立に制御可能となる。

【0059】また、ファーストパルス立ち上がり位置(以下「SFP」という。)、ファーストパルス立ち下がり位置(以下「EFP」という。)、マルチパルス幅(以下「MPW」という。)、ラストパルス立ち上がり位置(以下「SLP」という。)、ラストパルス立ち下がり位置(以下「ELP」という。)、及びクーリングパルス立ち上がり位置(以下「ECP」という。)は、

によりそれぞれ独立に変更することができる。

【0060】図3(b)はファーストパルスの立ち上がり部分における記録パルス206aを拡大したタイミング図であり、ファーストパルス立ち上がり位置SFPの一例を説明するためのものである。図において、中心位置はパルス基準クロック301(図3(a)参照)の立ち下がりに同期したタイミングであり、SFPに対する設定値SFP=0にコード化されている。また、SFPの設定は中心位置から前後に所定のステップ数、例えば500ピコ秒おきに10ステップずつ用意されており、それぞれの設定値は-10から+10を示す値にコード化されている。従って、記録パルス生成部111に対し、-10から+10の範囲の整数でSFPの設定値を与えることにより、図3(b)に示すように立ち上がり位置を、例えば-5ナノ秒から+5ナノ秒の範囲内で500ピコ秒刻みで変更することが可能となる。

【0061】図3(b)の例では、ファーストパルス立ち上がり位置(SFP)に関して説明したが、変更可能なその他の設定(EFP、MPW、SLP、ELP、ECP)に関して同様である。例えば、ラストパルス立ち下がり位置(ELP)は、パルス基準クロック301の立ち下がりに同期して設定されるが、このとき、シフトの中心位置はELPの設定値の0に対応させておき、0を中心とする所定の整数範囲でELPの設定値を設定することにより、中心位置を基準としてその前後にその立ち下がり位置を変更することができる。

【0062】また、マルチパルス部の各パルス(以下「マルチパルス」という。)のデューティ比については、マルチパルスの立ち上がりタイミングをパルス基準クロック301の立ち上がりのタイミングに同期させ、マルチパルスの立ち下がり位置をマルチパルス幅設定値MPWにより可変にすることができる。例えば、マルチパルス幅設定値MPW=0のときにマルチパルスのデューティ比が50%、即ち、図3(a)のレーザ発光波形で、ピークパワーの発光時間とバイアスパワー3の発光時間が1対1になるように設定値を決めると、0を中心とする所定の整数範囲でMPWの設定を行うことにより、50%のデューティ比に対して前後に幅を変更することができる。

【0063】このように、記録パルスの位置またはデューティ比を変化させることを一般に「記録補償」と呼び、記録パルスの位置またはデューティ比の変化量を「記録補償量」と呼ぶ。この記録補償により記録マーク間の熱干渉等の影響を低減し記録密度を高めようという試みは、既に行われようとしている。

【0064】<記録パルス生成部の動作>図4は、本発明における記録パルス生成部111の内部構成の一例を示すブロック図である。また、図12は、図4に示す内部構成を持つ記録パルス生成部111を用いて、変調デ

cを生成するまでの具体的動作例を説明するための信号タイミング図である。なお、図12では、図3と同様にランレングスが2から10の範囲で制限された変調規則を用いてPWM記録を行う場合で、6Tマークを記録する際の波形例を示している。

【0065】図4において、パルスタイミング生成部401は、別ブロックより供給される変調データ208とそれに同期したクロック410(1周期が1チャネルビット)を受けて、4種類の基準タイミング、即ち、ファーストパルス基準タイミング411a、マルチパルス基準タイミング412a、ラストパルス基準タイミング413a、クーリングパルス基準タイミング414aを生成し、出力する。上記4種類の基準タイミングはそれぞれファーストパルス部、マルチパルス部、ラストパルス部、クーリングパルス部に相当する部分のタイミングを形成するための基準となるタイミングである。

【0066】ファーストパルス基準タイミング411aは、図12に示すように、変調データ208の立ち上がりエッジからクロック410で1周期分のHレベルを有するパルス信号である。

【0067】マルチパルス基準タイミング412aは、図12に示すように、変調データ208の立ち上がりエッジからクロック410を数えて、3波目及び4波目のクロック波形をそのまま出力したものであり、それ以外の部分ではLレベルのままとする。但し、上記は6Tマークに対応した場合であり、より一般的に説明すると、mTマーク(mは3から11までの整数)に対するマルチパルス基準タイミング412aは、変調データ208の立ち上がりエッジからクロック410を数えて3波目より(m-4)周期分のクロック波形をそのまま出力し、それ以外の部分ではLレベルのままとする。m=3、4の場合、即ち3Tマークもしくは4Tマークの場合のマルチパルス基準タイミング412aはLレベルのままである。

【0068】ラストパルス基準タイミング413aは、図12に示すように、変調データ208の立ち下がりエッジよりさかのぼって2.5周期前のクロック410の立ち下がり位置より1周期分のHレベルを有するパルス信号である。

【0069】クーリングパルス基準タイミング414aは、図12に示すように、変調データ208の立ち下がりエッジよりさかのぼって1.5周期前のクロック410立ち下がり位置より1周期分のHレベルを有するパルス信号である。

【0070】パルスタイミング生成部401によって生成されたこれらのパルス411a、412a、413a、414aは、それぞれ、対応するパルス遅延部402、403、404、405に入力される。また、ファーストパルス遅延部402には、記録パルス位置補正部

れ、マルチパルス遅延部403には、同様にMPWが与えられ、ラストパルス遅延部404には、同様にSLP及びELPが与えられ、クーリングパルス遅延部405には、同様にECPが与えられる。

【0071】ファーストパルス遅延部402は、記録パルス位置補正部112によって設定されるSFP及びEFPに基づいて、ファーストパルス基準タイミング411aを所定時間遅延させて得られるファーストパルス始端エッジ基準信号411b及びファーストパルス終端エッジ基準信号411cを出力する。ファーストパルス始端エッジ基準信号411b及びファーストパルス終端エッジ基準信号411cは、それぞれ、ファーストパルス部の始端エッジ及び終端エッジを決定する信号であり、第1の論理素子406aへ入力される。第1の論理素子406aでは、設定値SFPがEFPより大きい値のときには前記2入力の論理積がとられ、逆にSFPがEFPより小さい値のときには前記2入力の論理和がとられ、ファーストパルス信号415として出力される。図12には後者を例として示しており、ファーストパルス始端エッジ基準信号411bとファーストパルス終端エッジ基準信号411cの論理和がファーストパルス信号415となっている。

【0072】マルチパルス遅延部403は、記録パルス位置補正部112によって設定されるMPWの設定値に基づいて、マルチパルス基準タイミング412aを所定時間遅延させて得られるマルチパルス終端エッジ基準信号412cを出力する。MPWの設定値が0または正の値、即ち、マルチパルス部のデューティ比が50%以上のときには、マルチパルス終端エッジ基準信号412cの立ち下がリエッジがマルチパルス部の終端エッジを決定する。また、MPW設定値が負の数、即ち、マルチパルスデューティ比が50%未満のときには、マルチパルス終端エッジ基準信号412cの立ち上がりエッジがマルチパルス部の終端エッジを決定する。マルチパルス基準タイミング412a及びマルチパルス終端エッジ基準信号412cは、第2の論理素子407aに入力される。第2の論理素子407aでは、MPW設定値が0または正の数のときには前記2入力の論理和がとられ、逆にMPW設定値が負の数のときには、マルチパルス基準タイミング412aとマルチパルス終端エッジ基準信号412cの反転との論理積がとられる。図12には前者を例として示しており、マルチパルス基準タイミング412aとマルチパルス終端エッジ基準信号412cとの論理和がマルチパルス信号416となっている。

【0073】ラストパルス遅延部404は、記録パルス位置補正部112によって設定されるSLPの設定値及びELPの設定値に基づいて、ラストパルス基準タイミング413aを所定時間遅延させて得られるラストパルス始端エッジ基準信号413b及びラストパルス終端エ

ッジ基準信号413c及びラストパルス終端エッジ基準信号413cは、それぞれ、ラストパルス部の始端エッジ及び終端エッジを決定する信号であり、第1の論理素子406bへ入力される。第1の論理素子406bでは、設定値SLPがELPより大きい値のときには前記2入力の論理積がとられ、逆にSLPがELPより小さい値のときには前記2入力の論理和がとられ、ラストパルス信号417として出力される。図12には前者を例として示しており、ラストパルス始端エッジ基準信号413bとラストパルス終端エッジ基準信号413cとの論理積がラストパルス信号417となっている。

【0074】クーリングパルス遅延部405は、記録パルス位置補正部112によって設定されるECPに基づいて、クーリングパルス基準タイミング414aを所定時間遅延させたクーリングパルス終端エッジ基準信号414cを出力する。ECPが正の数のときには、クーリング終端エッジ基準信号414cの立ち下がリエッジがクーリングパルス部の終端エッジを決定する。またECPが負の数のときには、クーリングパルス終端エッジ基準信号414cの立ち上がりエッジがクーリングパルス部の終端エッジを決定する。クーリングパルス基準タイミング414a及びクーリングパルス終端エッジ基準信号414cは、第2の論理素子407bに入力され、ここで、設定値ECPが正の数のときには前記2入力の論理和がとられ、逆にECPが負の数のときにはクーリングパルス基準タイミング414aとクーリングパルス終端エッジ基準信号414cの反転との論理積がとられる。図12では後者を例として示しており、クーリングパルス基準タイミング414aとクーリングパルス終端エッジ基準信号414cの反転との論理積がクーリングパルス信号418となっている。

【0075】上述したようにして生成されたファーストパルス信号415、マルチパルス信号416、ラストパルス信号417、クーリングパルス信号418は、パルス合成部408に入力される。パルス合成部408は上述の4種類の信号から3本の記録パルス206a、206b、206cを合成して出力する。合成された記録パルス206a、206b、206cの波形例を図12に示す。

【0076】以上、図4を参照しながら説明したように、記録パルス生成部111は、パルスを遅延させるパルス遅延部を内蔵することで、記録補償されたパルスを容易に生成することが可能である。

【0077】＜パルス遅延部の具体的構成＞次に、各パルス遅延部402～405の構成例をファーストパルス遅延部402を例として説明する。図20は、図4に示した記録パルス生成部111の一構成要素であるファーストパルス遅延部402の内部構成例を示したブロック図である。

402は、インバータ素子2001が複数段直列に接続されてなる遅延回路であり、その初段のインバータ素子2001に外部入力であるファーストパルス基準タイミング411aが接続されている。インバータ素子2001の段数は、ファーストパルス部の立ち上がり及び立ち下りのエッジ位置の可変範囲を満足する遅延量が少なくとも得られる段数とする。例えば、ファーストパルス部の立ち上がりエッジ位置の可変範囲が変調データ208の立ち上がりエッジから20ナノ秒までの範囲内、立ち下りエッジ位置の可変範囲が変調データ208の立ち上がりエッジの1チャネルクロック周期後から20ナノ秒までの範囲内であるとする、総遅延量は20ナノ秒分必要となる。これに対し、インバータ素子2001の2段分の遅延量が0.5ナノ秒であるとする、 $20 \div 0.5 = 40$ となり、インバータ素子2001は少なくとも80段必要となる。

【0079】選択部2002は各インバータ素子2001のうち偶数段目の出力に接続され、ファーストパルス始端位置設定SFPに相当する選択信号419aに従って前記偶数段目の各インバータ素子2001の出力のうちいずれか1つを選択し、ファーストパルス始端エッジ基準信号411bとして出力する。また、選択部2003は同様に偶数段目のインバータ素子2001の出力に接続され、ファーストパルス終端位置設定EFPに相当する選択信号419bに従って前記各インバータ素子2001の出力のうちいずれか1つを選択し、ファーストパルス終端エッジ基準信号411cとして出力する。

【0080】上述のように、ファーストパルス遅延部402は、入力パルスであるファーストパルス基準タイミング411aを順々に遅延させていくためのインバータ素子2001と、各インバータ素子の出力を選択する選択部2002及び2003を組み合わせることで容易に構成可能である。この構成は図4に示した記録パルス生成部111に使用されている他の遅延部、即ち、マルチパルス遅延部403、ラストパルス遅延部404、クーリングパルス遅延部405にも同様に適用できる。但し、マルチパルス遅延部403及びクーリングパルス遅延部はその遅延出力がそれぞれ1つのみであるから、各インバータ素子の出力を選択する選択部は1つで良い。

【0081】また、記録補償量の分解能である、記録パルスの各エッジ位置の最小調整ステップは、およそインバータ素子2個分を通過する遅延時間に相当する。

【0082】なお、図20の例では、遅延素子としてインバータ素子2001を用いているが、別の素子を用いても構成可能である。

【0083】図21は、インバータ素子2001の代わりにバッファ素子2101を用いてファーストパルス遅延部402を構成した例を示すブロック図である。図21に示す構成によっても、図20に示した構成と同様、

部2002及び選択部2003を用いて選択し出力することで遅延量が可変なパルス遅延出力を得ることが可能である。

【0084】図22(a)は、インバータ素子あるいはバッファ素子の代わりに、電圧制御型遅延素子2201を用いてファーストパルス遅延部402を構成した例を示すブロック図である。電圧制御型遅延素子2201は、例えば図22(b)に示すように、入出力間に挿入されたインダクタ2202と、インダクタ2202に並列に挿入された可変容量キャパシタ2203と、インダクタ2202の中間位置とグラウンド電圧間に挿入された可変容量キャパシタ2204からなる一種の位相フィルタであり、2種類の可変容量キャパシタ2203、2204の容量を遅延制御電圧により制御することで、入出力間の位相シフト量、即ち入出力間の遅延量を可変にするものである。2種類のパルス遅延出力を得たい場合は、電圧制御型遅延素子2201を2個内蔵し、それぞれ別々の外部制御電圧で遅延量を制御することにより実現できる。

【0085】図20、図21に示したようなインバータ素子やバッファ素子を遅延素子として利用する構成では、一般的にCMOSプロセス、バイポーラプロセス等において標準セルとして用意されている素子を組み合わせることで構成できるため、比較的容易かつ安価に集積回路化(IC化)可能であるという利点があるが、記録補償量の分解能、即ち記録パルスの最小調整ステップがインバータ素子2個もしくはバッファ素子1個の遅延量で規定されてしまうため、プロセスの微細度によっては目的とする遅延分解能が得られない場合がある。これに対し、図22に示したような電圧制御型遅延素子を利用する構成では、外部制御電圧によって遅延量をアナログ的に変化させることが可能であるため、理論的には無限小の分解能が得られる。しかしながら、理想的な位相フィルタを構成することはかなり難しく、遅延分解能の良い素子を構成するためにはかなり精度の良い素子が必要のため、比較的高価なものになってしまう。求められる分解能・遅延精度等の性能と、装置のコスト等を勘案して、最も適切な素子を選択して使用することが望ましい。

【0086】さて、図4を用いて記録パルス生成部111の内部構成の一例を説明したが、図4の例のようにパルスを遅延させる構成と比較して、遅延部に要する回路規模を小さくできる構成を説明する。

【0087】＜記録パルス生成部の別の具体的構成＞図5は、図4に示すものとは異なる記録パルス生成部111の内部構成例を示すブロック図である。また、図13は、図5に示す内部構成を持つ記録パルス生成部111を用いて、変調データ208から記録パルス206a、206b、206cを生成するまでの具体的動作例を説

は図12と同様にランレングスが2から10の範囲で制限された変調規則を用いてPWM記録を行う場合で、6 Tマークを記録する際の波形例を示している。

【0088】図5において、パルスタイミング生成部501は、別ブロックより供給される変調データ208を受けて、ファーストパルス始端基準タイミング511a、ファーストパルス終端基準タイミング512a、マルチパルス基準タイミング513a、ラストパルス始端基準タイミング514a、ラストパルス終端／クーリングパルス始端基準タイミング515a、クーリングパルス終端基準タイミング516aを生成し、出力する。

【0089】クロック遅延部502は、変調データ208に同期したクロック510（1周期が1チャンネルビット）を入力とし、記録パルス位置補正部112より設定されるSFP、EFP、MPW、SLP、ELP、ECPに基づいて7種類の遅延クロック、即ち、ファーストパルス始端位置基準クロック511b、ファーストパルス終端位置基準クロック512b、マルチパルス始端基準クロック513b、マルチパルス終端基準クロック513c、ラストパルス始端位置基準クロック514b、ラストパルス終端位置／クーリングパルス始端位置基準クロック515b、クーリングパルス終端位置基準クロック516bを出力する。

【0090】なお、ここでマルチパルス始端基準クロック513bは、マルチパルス部の立ち上がりエッジ位置を規定すると同時に全てのパルスエッジの基準となるクロック信号であり、SFP、EFP、MPW、SLP、ELP、ECPの各設定値はマルチパルス始端基準クロック513bとの時間関係に基づいて規定される。例えば図13の波形例による場合、SFP、EFPの各設定値はマルチパルス始端位置基準クロック511bの立ち下がりエッジに対する時間関係で規定する、MPW、SLP、ELP、ECPの各設定値はマルチパルス始端位置基準クロック511bの立ち上がりエッジに対する時間関係で規定する。

【0091】また、図13に示しているように、ファーストパルス始端基準タイミング511aは変調データ208の立ち上がりエッジから第1波目のマルチパルス始端基準クロック513bの立ち上がりエッジより1周期分のHレベルを有するパルス信号である。

【0092】ファーストパルス終端基準タイミング512aは、図13に示すように、変調データ208の立ち上がりエッジから第1波目のマルチパルス始端基準クロック513bの立ち下がりエッジより1周期分のHレベルを有するパルス信号である。

【0093】マルチパルス基準タイミング513aは、図13に示すように、変調データ208の立ち上がりエッジから第3波目のマルチパルス始端基準クロック513bの立ち上がりエッジより第5波目のマルチパルス始

Hレベルとなるゲート信号である。但し、上記は6 Tマークに対応した場合であり、より一般的に説明すると、MTマーク（Mは3から11までの整数）に対するマルチパルス基準タイミング513aは、変調データ208の立ち上がりエッジから第3波目のマルチパルス始端基準クロック513bの立ち上がりエッジより、（M-4）チャンネルビット周期の期間Hレベルとなる。但し、M=3、4の場合、即ち3 Tマークもしくは4 Tマークの場合のマルチパルス基準タイミング412aはLレベルのままである。

【0094】また、ラストパルス始端基準タイミング514a、ラストパルス終端／クーリングパルス始端基準タイミング515a、及びクーリングパルス終端基準タイミング516aは、図13に示すように、変調データ208の立ち上がりエッジから、マルチパルス始端基準クロック513bのそれぞれ、第4波目立ち下がりエッジ、第5波目立ち上がりエッジ、第6波目立ち下がりエッジ、より1周期分のHレベルを有するパルス信号である。但し、上記は6 Tマークに対応した場合であり、より一般的に説明すると、MTマーク（Mは3から11までの整数）に対するラストパルス始端基準タイミング514a、ラストパルス終端／クーリングパルス始端基準タイミング515a、クーリングパルス終端基準タイミング516aは、変調データ208の立ち上がりエッジから、マルチパルス始端基準クロック513bのそれぞれ、第（M-2）波目の立ち下がりエッジ、第（M-1）波目の立ち上がりエッジ、第M波目の立ち下がりエッジ、より1周期分のHレベルを有するパルス信号である。

【0095】ファーストパルス始端基準タイミング511aとファーストパルス始端位置基準クロック511bはそれぞれDフリップフロップ503aのD入力及びクロック入力に接続され、Dフリップフロップ503aのQ出力はファーストパルス始端位置信号511cとなる。

【0096】ファーストパルス終端基準タイミング512aとファーストパルス終端位置基準クロック512bはそれぞれDフリップフロップ503bのD入力及びクロック入力に接続され、Dフリップフロップ503bのQ反転出力はファーストパルス終端位置信号512cとなる。

【0097】ラストパルス始端基準タイミング514aとラストパルス始端位置基準クロック514bはそれぞれDフリップフロップ503cのD入力及びクロック入力に接続され、Dフリップフロップ503cのQ出力はラストパルス始端位置信号514cとなる。

【0098】ラストパルス終端／クーリングパルス始端基準タイミング515aとラストパルス終端位置／クーリングパルス始端基準クロック515bはそれぞれDフ

続され、Dフリップフロップ503dのQ反転出力はラストパルス終端位置信号515cとなり、Q出力はクーリングパルス始端位置信号515dとなる。

【0099】クーリングパルス終端基準タイミング516aとクーリングパルス終端位置基準クロック516bはそれぞれDフリップフロップ503eのD入力及びクロック入力に接続され、Dフリップフロップ503eのQ反転出力はクーリングパルス終端位置信号516cとなる。

【0100】ファーストパルス始端位置信号511cとファーストパルス終端位置信号512cはそれぞれDフリップフロップ505aのクロック入力及びリセット入力に接続される。またDフリップフロップ505aのD入力はHレベルに固定されている。これにより、Dフリップフロップ505aのQ出力であるファーストパルス信号517は、図13に示すように、ファーストパルス終端位置信号512cがHレベルのときのファーストパルス始端位置信号511cの立ち上がりエッジでHレベルに立ち上がり、ファーストパルス終端位置信号512cの立ち下がりエッジでLレベルに立ち下がる。

【0101】マルチパルス基準タイミング513aとマルチパルス始端基準クロック513bとマルチパルス終端基準クロック513cは論理素子504に入力される。論理素子504は、MPWが正の数のときには、マルチパルス始端基準クロック513bとマルチパルス終端基準クロック513cの論理和をとった信号とマルチパルス基準タイミング513aとの論理積をとり、マルチパルス信号518として出力する。また論理素子504は、MPWが負の数のときには、マルチパルス始端基準クロック513bとマルチパルス終端基準クロック513cの論理積をとった信号とマルチパルス基準タイミング513aとの論理積をとりマルチパルス信号518として出力する。

【0102】ラストパルス始端位置信号514cとラストパルス終端位置信号515cはそれぞれDフリップフロップ505bのクロック入力及びリセット入力に接続される。またDフリップフロップ505bのD入力は、Hレベルに固定されている。これにより、Dフリップフロップ505bのQ出力であるラストパルス信号519は、図13に示すように、ラストパルス終端位置信号515cがHレベルのときのラストパルス始端位置信号514cの立ち上がりエッジでHレベルに立ち上がり、ラストパルス終端位置信号515cの立ち下がりエッジでLレベルに立ち下がる。

【0103】クーリングパルス始端位置信号515dとクーリングパルス終端位置信号516cはそれぞれDフリップフロップ505cのクロック入力及びリセット入力に接続される。またDフリップフロップ505cのD入力は、Hレベルに固定されている。これにより、Dフ

ス信号520は、図13に示すように、クーリングパルス終端位置信号516cがHレベルのときのクーリングパルス始端位置信号515dの立ち上がりエッジでHレベルに立ち上がり、クーリングパルス終端位置信号516cの立ち下がりエッジでLレベルに立ち下がる。

【0104】上述したようにして生成されたファーストパルス信号517、マルチパルス信号518、ラストパルス信号519、クーリングパルス信号520は、パルス合成部506に入力される。パルス合成部506は上述の4種類の信号から3本の記録パルス206a、206b、206cを合成し出力する。合成された記録パルス206a、206b、206cの波形例を図13に示す。

【0105】クロック遅延部502は、図4に示した記録パルス生成部111に使用されている各パルス遅延部と同様に、インバータ素子もしくはバッファ素子の多段接続、電圧制御型遅延素子を用いることで構成できる。

【0106】<クロック遅延部の具体的構成>図6はインバータ素子を用いて構成したクロック遅延部502の内部構成例を示すブロック図である。図6において、インバータ素子601が複数段直列に接続されており、その初段のインバータ素子601に外部入力であるクロック510が接続されている。インバータ素子601の段数は、記録パルス206a、206b、206cの各エッジ位置の可変範囲を満足する遅延量が少なくとも得られる段数とする。例えば、記録パルス206a、206b、206cの各エッジ位置の可変範囲が ± 10 ナノ秒であり、インバータ素子601の2段分の遅延量が0.5ナノ秒であるとする、 $20 \div 0.5 = 40$ となり、インバータ素子601は少なくとも80段必要となる。

【0107】選択部602は各インバータ素子601の出力の一部もしくは全てに接続されており、選択信号519に従い前記各インバータ素子601の出力のうちいずれか1つを選択して出力する。選択部602は遅延量の異なるクロックの種類分必要であり、図5に示した記録パルス生成部111に内蔵される場合、7種類の遅延量の異なるクロック（ファーストパルス始端位置基準クロック511b、ファーストパルス終端位置基準クロック512b、マルチパルス始端基準クロック513b、マルチパルス終端基準クロック513c、ラストパルス始端位置基準クロック514b、ラストパルス終端／クーリングパルス始端位置基準クロック515b、クーリングパルス終端位置基準クロック516b）が必要なため、選択部602は7個設けられている。

【0108】選択信号519は、複数種類の設定信号からなり、その内訳は、ファーストパルス始端位置設定SFPに相当する選択信号519a、ファーストパルス終端位置設定EFPに相当する選択信号519b、マルチパルス始端位置さらには記録パルスの各エッジ可変範囲

幅設定MPWに相当する選択信号519d、ラストパルス始端位置設定SLPに相当する選択信号519e、ラストパルス終端位置設定ELPに相当する選択信号519f、クーリングパルス終端位置設定ECPに相当する選択信号519gとからなる。

【0109】上述のように、クロック遅延部502は、入力クロックを順々に遅延させていくためのインバータ素子601と、各インバータ素子の出力を選択する選択部602とを組み合わせることで容易に構成できる。また、記録補償量の分解能である、記録パルスの最小調整ステップは、およそインバータ素子2個分を通過する遅延時間に相当する。

【0110】図16は、インバータ素子601の代わりにバッファ素子1601を用いてクロック遅延部502を構成した例を示すブロック図である。図16に示す構成によっても、図6に示した構成と同様、バッファ素子1601の出力の一部もしくは全部を選択部1602を用いて選択し出力することで遅延量が可変な複数の遅延クロック出力を得ることが可能である。

【0111】図17は、インバータ素子あるいはバッファ素子の代わりに、電圧制御型遅延素子1701を用いてクロック遅延部502を構成した例を示すブロック図である。電圧制御型遅延素子1701は、図22に示したものと同様の構成を有しており、したがってその詳細説明は省略する。複数種類の遅延クロックを得たい場合は、図17の構成例のように電圧制御型遅延素子1701を複数個内蔵し、それぞれ別個の外部制御電圧で遅延量を制御することにより実現できる。

【0112】なお、図16に示したバッファ素子に対して、図6のインバータ素子を利用する構成では反転出力即ち180度位相ずれの出力を容易に得られるという特

徴があるが、逆にバッファ素子を用いた方が選択部の規模を小さくすることができる。求められる分解能・遅延精度等の性能と、装置のコスト等を勘案し、最適な素子を選択して使用することが望ましい。

【0113】以上に説明したように、図5に示したような内部構成を持つ記録パルス生成部111は、クロック510を遅延させるクロック遅延部502を内蔵することで、記録補償されたパルスを容易に生成することが可能である。また、クロックを遅延させる構成としたことで、図4の例のようにパルスを遅延させる構成と比較して、回路規模を小さくすることが可能である。なぜなら、パルスを遅延させる場合、記録パルスの独立に制御すべきエッジ位置の数だけ遅延部を複数持つ必要があるのに対し、クロックを遅延させる場合、クロック遅延部を1系統持つのみで複数のエッジ位置を独立に制御するためのタイミングを生成可能だからである。

【0114】例えば、図3に示した記録パルスのように独立に制御すべきエッジ位置が6個所ある場合、図4の構成例に用いたパルス遅延部に要する回路規模は、図5の構成例に用いたクロック遅延部に要する回路規模に比べ、少なくとも遅延素子の数が6倍必要となる。これは、各エッジ位置の可変範囲がパルス基準クロック301の1周期未満の場合であり、パルス基準クロック301の1周期を超える範囲で位置制御する必要のある場合、回路規模の差はさらに大きくなる。

【0115】ここで、図3(a)に示したような記録パルス206a、206b、206cの各エッジ位置の可変範囲が下表のように規定されているとする。

【0116】

【表1】

パルスエッジ位置名称	可変範囲	基準軸数
ファーストパルス立上り位置 SFP	$-0.5T_w \sim +1.0T_w (3/2T_w)$	4
ファーストパルス立ち下り位置 EFP	$+1.0T_w \sim +2.0T_w (2/2T_w)$	4
ラストパルス立上り位置 SLP	$-2.5T_w \sim -1.5T_w (2/2T_w)$	3
ラストパルス立ち下り位置 ELP	$-2.0T_w \sim -0.5T_w (3/2T_w)$	4
クーリングパルス立上り位置 ECP	$-2.0T_w \sim -0.5T_w (3/2T_w)$	7

【0117】なお、表1において、 T_w は1チャネルビットの時間の長さ、さらに本例の場合はパルス基準クロック301の1周期の期間長さとする。ファーストパルス立上り位置SFP及びファーストパルス立ち下り位置EFPの可変範囲は変調データ(NRZI形式)208の立上りエッジに対する相対位置とし、ラストパルス立上り位置SLP、ラストパルス立ち下り位置ELP及びクーリングパルス立上り位置ECPは、変調データ208の立ち下りエッジに対する相対位置として規定している。この規定において変調データ208

の、即ちパルス基準クロック301の立上がりエッジと変調データ208の両エッジは同位相であるとする。

【0118】表1の規定のように、各パルスエッジの可変範囲が $1T_w$ を大きく超えるような場合、図4に示したようなパルスを個別に遅延させ、後に合成するような構成にすると、各遅延部の遅延長さが各々 $1T_w$ を大きく超えてしまい、回路規模は膨大になってしまう。これに対し、パルス基準クロック301を遅延させて複数の遅延クロックを発生しながら、パルス基準クロック301の1周期を超えるような広範囲のパルスエッジ制御を

8を用いて説明する。

【0119】<遅延クロックによるパルスエッジ制御>
図18は、パルスエッジ位置制御の一例として、ファーストパルス立ち上がり位置SFPを決定するためのタイミング信号の生成方法を説明するための模式図である。一定周期のパルスが連続するようなクロック信号を用いて遅延タイミングを得るには、クロック信号の立ち上がりエッジもしくは立ち下がりエッジを利用するしかないため、クロック信号のエッジ位置を制御することで得られる可変範囲はクロック信号の一周期以下でしかない。これより広い範囲で位置表現を行うには、クロック信号以外にクロックの立ち上がりエッジもしくは立ち下がりエッジで打ち抜けるようなウィンドウ信号を設け、クロック信号をクロック1周期以内の可変範囲で動かすと共に、ウィンドウ信号のタイミングをクロック信号の半周期の単位で動かしてやれば良い。ここでは、このようなウィンドウ信号を、「基準軸ウィンドウ信号」と呼び、クロック信号の半周期の単位での必要なタイミングの種類の数を「基準軸の数」と呼ぶ。

【0120】図18(a)では、パルス基準クロック301をその1周期の範囲内で遅延させたファーストパルス始端クロック1801と、ファーストパルス始端基準軸ウィンドウ信号1802を生成し、ファーストパルス始端基準軸ウィンドウ信号1802をファーストパルス始端クロック1801でラッチすることで、ファーストパルス始端タイミング信号1803を得ている。ファーストパルス始端基準軸ウィンドウ信号1802はファーストパルス始端クロック1801の1周期分のHパルスであり、その立ち上がりエッジが変調データ208の立ち上がりエッジに対して、 $-1Tw$ 、 $-0.5Tw$ 、 $0Tw$ 、 $+0.5Tw$ の4種類のタイミングで制御する。即ちこの場合の基準軸は4本である。

【0121】ファーストパルス始端基準軸ウィンドウ信号1802のタイミング制御を $0.5Tw$ 単位で行う理由は、実際の電気回路でファーストパルス始端クロック1801によりラッチする際に、フリップフロップ等でのラッチタイミング余裕を確保するためである。ファーストパルス始端クロック1801の立ち上がりエッジでファーストパルス始端基準軸ウィンドウ信号1802をラッチすることを想定した場合、そのセットアップ時間及びホールド時間にタイミング余裕を持たせる必要がある。

【0122】例えば、図18(b)に示すように、ファーストパルス始端基準軸ウィンドウ信号1802の立ち上がりエッジより $0.25Tw$ 以降、ファーストパルス始端基準軸ウィンドウ信号1802の立ち下がりエッジより $0.25Tw$ 以前に、ファーストパルス始端クロック1801の立ち上がりエッジがくるような範囲内に制御すればよい。

ック1801の可変範囲は、各基準軸、即ちパルス基準クロック301の立ち上がりエッジもしくは立ち下がりエッジに対して $\pm 0.25Tw$ の範囲とする。こうすることで、フリップフロップのセットアップ時間及びホールド時間を共に $0.25Tw$ 以上確保できる。なお、 $0.25Tw$ 以上というのは一例であって、ラッチタイミングの余裕が十分確保でき、かつ、隣の基準軸に対する可変範囲との境界に隙間(ファーストパルス始端クロック1801の立ち上がりエッジが来ないような領域)がないような範囲内でクロック立ち上がりエッジの可変範囲を決定すれば良い。例えば、各基準軸に対して、マイナス方向に $0.1Tw$ 、プラス方向に $0.4Tw$ の範囲内としても、上記条件を満足できる。

【0124】上述した可変範囲の決定により、ファーストパルス始端基準軸ウィンドウ信号1802の4種類のタイミング(A)から(D)に対して、ファーストパルス始端クロック1801の可変範囲はそれぞれ図18(b)に示すようになり、結果として、表1に規定したファーストパルス立ち上がり位置SFPの範囲を満足できる。なお、図18に示した例ではファーストパルス立ち上がり位置SFPを可変制御できることを説明したが、その他の可変にすべきエッジ位置、即ち、ファーストパルス立ち下がり位置EFP、ラストパルス立ち上がり位置SLP、ラストパルス立ち下がり位置ELP、クレーリングパルス立ち上がり位置EGPについても、同様の方法により可変制御することが可能である。表1に各パルスエッジ位置の可変範囲のサポートに必要な基準軸の数を示している。

【0125】また、パルス基準クロック301の周期を Tw 、即ち1チャンネルビット長さとしているが、 Tw/n 周期(n は自然数)であれば良い。図18に示した例は $n=1$ の場合ということになるが、 n を2以上の整数とすれば各エッジ制御に必要なクロックエッジの可変範囲をより短い時間にすることが出来る。従って、図6あるいは図16に示したような単位遅延素子を多段接続することで構成した遅延部を用いてクロックの遅延制御を行う場合、その回路規模を小さくできる効果がある。 n が2以上の場合のパルス基準クロック301の生成方法としては、PLL等を用いてクロックの逡倍を行うことで容易に実現できる。また、クロックの周波数を Tw の逡倍とすることで、変調回路等のチャンネルクロック同期で動作させる他の機能ブロックとの親和性を良くし、回路構成を容易にする効果があることは言うまでもない。

【0126】しかしながら、 n を大きい値にすることはパルス基準クロック301の周波数を高くすることを意味し、それだけ回路の高速動作が要求されるため回路の消費電力が増大してしまう。また、 n をあまり大きい値に設定しすぎるのは回路動作の安定性の面からも現実的ではない。回路規模とクロック周波数を勘案して最も効

【0127】以上説明したように、クロックの遅延制御と遅延したクロックでラッチをするための基準軸ウィンドウ信号のタイミング制御を併用することで、クロックの周期以上の広範囲な位置制御が可能であり、以下に示すように定式化が可能である。

【0128】記録データの1チャンネルビット周期を T_w としたとき、 T_w/n 周期 (n は自然数)のクロック信号を少なくとも $T_w/4n$ の範囲内で遅延制御し、少なくとも T_w/n 時間幅を有するパルス状信号で、かつ、開始位置を、 $T_w/2n$ の時間単位で連続する($d+1$)種類のタイミング(d は自然数)に制御した基準軸ウィンドウ信号を生成し、遅延制御したクロック信号とタイミング制御したウィンドウ信号を用いることで、 $d \times T_w/2n$ の時間範囲でパルスの遅延制御が可能である。

【0129】<遅延クロックによるパルスエッジ制御のための記録パルス生成部>図19に、パルス基準クロック301の一周期を超える範囲でパルス位置制御を行うことが可能な記録パルス生成部111の内部構成を示す。図19に示す各構成要素のうち、図5と同一の符号を付すものは各々同等の機能を有するブロックであり、その説明は省略する。

【0130】パルスタイミング生成部1901は、別ブロックより供給される変調データ208を受けてファーストパルス始端基準軸ウィンドウ信号1911a、ファーストパルス終端基準軸ウィンドウ信号1912a、マルチパルス基準軸ウィンドウ信号1913a、ラストパルス始端基準軸ウィンドウ信号1914a、ラストパルス終端/クーリングパルス始端基準軸ウィンドウ信号1915a、クーリングパルス終端基準軸ウィンドウ信号1916aを生成し出力する。

【0131】ここで、パルスタイミング生成部1901の内部構成例と、その出力である各基準タイミング信号の生成過程について図23を用いて説明する。図23において、まずパルス生成部2301は、変調データ208及びマルチパルス始端基準クロック513bを入力として受け、5種類のタイミング信号を出力する。5種類のタイミング信号とは、第1のファーストパルス始端タイミング信号2306a、第1のファーストパルス終端タイミング信号2307a、第1のラストパルス始端タイミング信号2308a、第1のラストパルス終端タイミング信号2309a、第1のクーリングパルス終端タイミング信号2310aである。生成する記録パルスの各エッジ位置の可変範囲が表1の通り規定されているとすると、各タイミング信号は以下のように説明できる。

【0132】即ち、第1のファーストパルス始端タイミング信号2306aは、変調データ208の立ち上がりエッジに対して $1T_w$ 手前の位置より立ち上がる $1T_w$ 幅のHパルス(Hはデジタル信号のハイレベル)であ

2307aは、変調データ208の立ち上がりエッジと同様の位置より立ち上がる $1T_w$ 幅のHパルスである。また、第1のラストパルス始端タイミング信号2308aは、変調データ208の立ち下がりエッジに対して $3T_w$ 手前の位置より立ち上がる $1T_w$ 幅のHパルスである。また、第1のラストパルス終端タイミング信号2309aは、変調データ208の立ち下がりエッジに対して $3T_w$ 手前の位置より立ち上がる $1T_w$ 幅のHパルスである。また、第1のクーリングパルス終端タイミング信号2310aは、変調データ208の立ち下がりエッジに対して $2T_w$ 手前の位置より立ち上がる $1T_w$ 幅のHパルスである。

【0133】第1のファーストパルス始端タイミング信号2306aは、3個のDフリップフロップ2303a、2303b、2303cにより、さらに $0.5T_w$ ずつ遅延され、それぞれ第2、第3、第4のファーストパルス始端タイミング信号2306b、2306c、2306dとなる。さらにSFP基準軸選択部2304aは4種類の入力、即ち第1から第4のファーストパルス始端タイミング信号2306aから2306dをSFP基準軸選択信号2311aに従い選択して、ファーストパルス始端基準軸ウィンドウ信号1911aとして出力する。

【0134】第1のファーストパルス終端タイミング信号2307aは3個のDフリップフロップ2303d、2303e、2303fにより、さらに $0.5T_w$ ずつ遅延され、それぞれ第2、第3、第4のファーストパルス終端タイミング信号2307b、2307c、2307dとなる。さらにEFP基準軸選択部2304bは3種類の入力、即ち第2から第4のファーストパルス終端タイミング信号2307bから2307dをEFP基準軸選択信号2311bに従い選択して、ファーストパルス終端基準軸ウィンドウ信号1912aとして出力する。

【0135】第1のラストパルス始端タイミング信号2308aは2個のDフリップフロップ2303g、2303hにより、さらに $0.5T_w$ ずつ遅延され、それぞれ第2、第3のラストパルス始端タイミング信号2308b、2308cとなる。さらにSLP基準軸選択部2304cは3種類の入力、即ち第1から第3のラストパルス始端タイミング信号2308aから2308cをSLP基準軸選択信号2311cに従い選択して、ラストパルス始端基準軸ウィンドウ信号1913aとして出力する。

【0136】第1のラストパルス終端タイミング信号2309aは4個のDフリップフロップ2303i、2303j、2303k、2303lにより、さらに $0.5T_w$ ずつ遅延され、それぞれ第2、第3、第4、第5のラストパルス終端タイミング信号2309b、2309

軸選択部2304dは4種類の入力、即ち第2から第5のラストパルス終端タイミング信号2309bから2309eをELP基準軸選択信号2311dに従い選択して、ラストパルス終端基準軸ウィンドウ信号1914aとして出力する。

【0137】第1のクーリングパルス終端タイミング信号2310aは7個のDフリップフロップ2303m、2303n、2303o、2303p、2303q、2303r、2303sにより、さらに0.5Twずつ遅延され、それぞれ第2、第3、第4、第5、第6、第7、第8のクーリングパルス終端タイミング信号2310b、2310c、2310d、2310e、2310f、2310g、2310hとなる。さらにECP基準軸選択部2304eは7種類の入力、即ち第2から第8のクーリングパルス終端タイミング信号2310bから2310hをECP基準軸選択信号2311eに従い選択して、クーリングパルス終端基準軸ウィンドウ信号1915aとして出力する。

【0138】ここで本例の場合、第3のファーストパルス始端タイミング信号2306cと第1のファーストパルス終端タイミング信号2307aのタイミングは全く同一となる。従って、パルス生成部2301の出力2307aと、Dフリップフロップ2303dを削除し、Dフリップフロップ2303cのQ出力2306dをDフリップフロップ2303eのD入力に接続することで、第3、第4のファーストパルス始端タイミング信号2306c、2306dをそれぞれ、第1、第2のファーストパルス終端タイミング信号2307a、2307bに代用することで同一の機能を満足でき、回路の削減も可能である。

【0139】また本例の場合、第1のラストパルス始端タイミング信号2308aと第1のラストパルス終端タイミング信号2309aのタイミングは全く同一であり、第5のラストパルス終端タイミング信号2309eと第3のクーリングパルス終端タイミング信号2310cのタイミングも全く同一である。従って、パルス生成部2301の出力2309a及び2310a、Dフリップフロップ2303i、2303j、2303m及び2303nを削除し、さらにDフリップフロップ2303hのQ出力2308cをDフリップフロップ2303kのD入力に接続し、Dフリップフロップ2303lのQ出力2309eをDフリップフロップ2303oのD入力に接続する構成としても良い。

【0140】これにより、第1、第2、第3のラストパルス始端タイミング信号2308a、2308b、2308c及び第5のラストパルス終端タイミング信号2309eをそれぞれ、第1、第2、第3のラストパルス終端タイミング信号2309a、2309b、2309c及び第3のクーリングパルス終端タイミング信号23

削減も可能である。

【0141】また、上記に述べた回路構成以外でも、同一の機能を満足できれば如何なる回路構成であっても差し支えない。各パルスエッジ位置制御に関する基準軸の数に応じたタイミングで基準軸ウィンドウ信号を生成できれば良い。

【0142】以上、図19及び図23にその具体的構成例を示したように、パルス基準クロック301の1周期を超える範囲でのパルス位置制御が可能な記録パルス生成部111について説明した。このような構成を採ることで、図4に示したような各パルス部位毎に個別のパルス遅延部を設ける構成に比べ、遅延部に要する可能規模を飛躍的に小さくすることができる。

【0143】例えば本実施例のように適応的に制御すべきエッジ位置が6個所ある場合、図4に示したような構成では始端・終端の遅延素子を共用化したとしても4種類のパルス遅延部が必要となるのに対して、図19に示したような構成では1系統のクロック遅延部のみで良い。

【0144】また、表1の可変範囲をサポートするには、図4の各パルス遅延部の遅延長さは、表1の各エッジ位置の可変範囲に対する正味の遅延量が必要となるのに対し、図19のクロック遅延部502は1Twの遅延量があれば十分である。

【0145】＜遅延部における遅延量の変動補償＞以上、本発明の特徴である変調データ208から記録パルス206a、206b、206cを生成する記録パルス生成部111の内部構成例及びその内部動作について詳しく述べてきた。次に、記録パルス生成部111の内部構成要素の一つとなるところの遅延部における遅延量が、温度変化・電源電圧変化等の外部要因により変動したときにも、記録パルス206a、206b、206cの各エッジ位置が適切な位置に保持され、その結果いかなる状況下でも記録信号品質を高く保つことの可能な方法及びその具体的構成例について述べる。これは本発明のもう一つの特徴となるところであり、以下に述べるような構成・方法により、その目的が達成され得る。

【0146】まず、最初に遅延素子を用いてクロック遅延部またはパルス遅延部を構成したときに温度変化・電源電圧変化によって被る影響について詳しく述べ、その後その影響を補償する具体的構成・方法について述べることにする。

【0147】＜温度変化、電源電圧変化による遅延量の変動＞図7は、遅延部の一例として、図6にて内部構成を説明したクロック遅延部502の選択信号値と得られる遅延クロック出力の関係について説明するための模式図である。ここで述べる選択信号値とは、選択信号519により与えられる値であり、この値により、インバータ素子601の通過段数が決まり、その結果、遅延クロ

02に内蔵されるインバータ素子601の段数を128段とし、選択する遅延クロックは入力クロック510と同相、即ち偶数段のインバータ素子601の出力のみ選択するとする。また、10進数で0に符号化された選択信号値で中間付近の遅延量が得られ、マイナス方向に絶対値が大きいほど遅延量が小さく、プラス方向に絶対値が大きいほど遅延量が大きくなるように選択信号値を割り振ると、図7に示すような関係となる。

【0148】選択信号値 $\pm N$ は、選択信号値0に相当する遅延クロックに対し相対的な遅延量がおよそ $\pm 0.5T_w$ となるような選択信号値であると定義する。ここで T_w はクロック510の1周期、つまり1チャネルビットの周期とする。 N の値はインバータ素子601の1段当たりの遅延量に変化しない限りは常に一定の値となるが、実際の装置においては温度変化・電源電圧変化によりインバータ素子601の1段当たりの遅延量は変動するため、 N の値は一定とはならない。

【0149】図8は、横軸にクロック遅延部502の選択信号値を縦軸にクロック遅延部502の入出力間の遅延時間を取り、両者の関係を示すグラフである。図8

(b)は常温・正規電源電圧におけるグラフであり、このときに選択信号値0に相当する遅延クロックに対し相対的な遅延量が $\pm 0.5T_w$ となる選択信号値を $\pm N_o$ とする。これに対し、図8(a)は低温もしくは高電源電圧の条件下におけるグラフであり、このときに選択信号値0に相当する遅延クロックに対し相対的な遅延量が $\pm 0.5T_w$ となる選択信号値を $\pm N_s$ とする。また、図8(c)は高温もしくは低電源電圧の条件下におけるグラフであり、このときに選択信号値0に相当する遅延クロックに対し相対的な遅延量が $\pm 0.5T_w$ となる選択信号値を $\pm N_f$ とする。

【0150】一般的にインバータ素子の入出力間の遅延時間は、素子の置かれる環境温度が低いほど相対的に短くなり、環境温度が高いほど相対的に長くなる。また、一般的にインバータ素子の入出力間の遅延時間は、素子に印可される電源電圧が低いほど相対的に長くなり、素子に印可される電源電圧が高いほど相対的に短くなる。従って、図8(a)～(c)に示すように、右側のグラフほどグラフの傾きは大きくなり、逆に各条件下での選択信号値の大小関係については、 $N_s > N_o > N_f$ の関係が成り立つ。

【0151】上述したように、温度変化・電源電圧変化により選択信号値当たりの相対的な遅延量変動してしまい、結果として記録パルスの所定のエッジ位置が記録を品質良く行うための最適値からずれてくるという問題が起こる。この問題を解決するために、2種類の遅延量を持つ2本の信号間の遅延差を測定する遅延量測定部を設け、この遅延量測定部による遅延量測定結果に基づいて、記録補償に関する設定値の更新を行う構成を提案す

【0152】<遅延量測定部>図10は、その遅延量測定部113の構成を示すブロック図である。第1の入力1001、第2の入力1002、遅延測定用クロック1003が外部より入力され、遅延測定用クロック1003を用いて第1の入力1001の所定のエッジと第2の入力1002の所定のエッジとの遅延差を遅延測定用クロック1003を用いて測定し、測定した結果を遅延量測定結果1004として出力する構成である。

【0153】第1の入力1001、第2の入力1002として何の信号を入力するかは記録パルス生成部111の内部構成に依る。図4の構成の場合、ファーストパルス遅延部402の出力であるファーストパルス始端エッジ基準信号411bとファーストパルス終端エッジ基準信号411cとをそれぞれ、第1の入力1001と第2の入力1002としている。これにより、ファーストパルス遅延部402における2出力間の遅延差と、ファーストパルス立ち上がり位置設定SFP及びファーストパルス立ち下がり位置設定EFPの両設定値との関係が遅延量測定結果により明らかになる。

【0154】なお、図4においてはファーストパルス遅延部402とは別の遅延部の出力を遅延量測定部113の入力としても良い。4種類の各遅延部の全ての遅延量を厳密に測定するには、各遅延部の出力を全て遅延量測定部113の入力とするべきではあるが、各遅延部の内部遅延素子の構成が同様である場合には、必ずしも全ての遅延量を測定する必要はなく、むしろ測定にかかる時間及び測定部の規模を考慮すると、代表となる遅延部の出力を1通りのみ測定するのが望ましい。

【0155】一方、図5の構成の場合、クロック遅延部502の出力であるファーストパルス始端位置基準クロック511bとファーストパルス終端位置基準クロック512bをそれぞれ、第1の入力1001と第2の入力1002としている。これにより、クロック遅延部502における2出力511bと512bとの間の遅延差と、ファーストパルス立ち上がり位置設定SFP及びファーストパルス立ち下がり位置設定EFPの両設定値との関係が遅延量測定結果により明らかになる。

【0156】なお、図5においてもクロック遅延部502の別の出力を遅延量測定部113の入力としても良いが、7種類の出力間の全ての遅延差を測定する必要はない。クロック遅延部502は1系統の遅延素子群により構成されているため、どの出力をとっても設定値当たりの遅延量はほぼ同じと言えるからである。

【0157】なお、第1の入力1001を各遅延部いずれかの入力とし、入力として選んだ遅延部の出力を第2の入力1002としてもよい。例えば、図4においてはファーストパルス遅延部402の入力411aを第1の入力1001とし、ファーストパルス遅延部402の出力の一つである411bを第2の入力1002とする。

の遅延差と、ファーストパルス立ち上がり位置設定SFPの設定値との関係が遅延量測定結果より明らかになる。図5においては、クロック遅延部502の入力510を第1の入力1001とし、クロック遅延部502の出力の一つである511bを第2の入力1002とする。これにより、クロック遅延部502の入出力間の遅延差と、ファーストパルス立ち上がり位置設定SFPの設定値との関係が遅延量測定結果より明らかになる。

【0158】また、遅延測定用クロック1003としては、高い周波数を用いるほど分解能の小さい測定を行うことが可能となるが、周波数の高さには限界がある。回路動作の安定性、消費電力の面から考えて、極端に高い周波数のものを用いるのは好ましくない。そこで、遅延測定用クロック1003として記録パルス生成部111に入力されている1チャンネルビット周期(T_w)のクロック信号を用い、第1の入力1001と第2の入力1002との間の遅延差が $1T_w$ となる設定値を検出することができるように遅延量測定部113を構成するのが望ましい。

【0159】図11は、遅延量測定部113のさらに詳細な構成を示したブロック図である。図11に示す遅延量測定部113は、図5に示したようなクロック遅延部502を内蔵した記録パルス生成部111に対して、そのクロック遅延部502によるクロックの遅延量を測定するものとする。

【0160】すなわち、第1の入力としてクロック遅延部502のある出力が入力され、第2の入力としてクロック遅延部502の別の出力が入力される。第1のウィンドウ生成部1101は第1の入力を受け、第1のウィンドウ信号1110を生成する。第2のウィンドウ生成部1102は第2の入力を受け、第2のウィンドウ信号1111を生成する。前記2つのウィンドウ信号はOR素子1104にて論理和がとられて測定ウィンドウ信号1113となる。カウント部1105は、カウント周期決定部1103により決定される測定周期信号1112の期間で、測定ウィンドウ信号1113のHレベルの間を遅延測定用クロックを用いてカウントする。ここで、遅延測定用クロックとしては第1の入力と同じ、クロック遅延部の第1の出力を用いる。測定周期信号1112の1周期にカウント部1105によりカウントされた結果は、カウント出力1114としてDフリップフロップ1106のD入力に供給される。Dフリップフロップ1106のクロック入力には測定周期信号1112が接続され、この構成により測定周期毎のカウント結果が遅延量測定結果として出力される。

【0161】なお、図11は図5に示した内部構成を持つ記録パルス生成部111に対して適用する遅延量測定部113、特に、クロック遅延部502の2出力間の遅延差を測定する例として示したが、これに限定されるも

ック遅延部502の入出力間の遅延差、図4の各パルス遅延部402、403、404、405の入出力間、もしくは2出力間の遅延差を測定する部についても、図11と同様の構成で実現できる。

【0162】図11に示す遅延量測定部113により、第1の入力1001と第2の入力1002の間の遅延差が $1T_w$ となる設定値を検出する過程を説明するためのタイミング図が図14である。

【0163】図14(a)は、第1の入力1001と第2の入力1002との遅延差が $1T_w$ に満たない場合のタイミング例である。図に示しているように、このとき測定ウィンドウ信号1113のHレベル区間は $2T_w$ に満たないため、測定周期信号1112の周期がウィンドウ信号1110及び1111の周期の100周期分とすると、カウント結果は常に100となる。

【0164】図14(b)は、第1の入力1001と第2の入力1002との遅延差がほぼ $1T_w$ となる場合のタイミング例を示している。このとき測定ウィンドウ信号1113のHレベル区間は $2T_w$ となり、測定周期信号1112の周期がウィンドウ信号1110及び1111の周期の100周期分とすると、カウント結果は常に200となる。

【0165】つまり、第1の入力1001と第2の入力1002との遅延差が $1T_w$ 未満となる設定値から、徐々に $1T_w$ 以上となる設定へと変えて行くことにより、カウント結果である遅延量測定結果は100から200へと変化する。その変化点がほぼ遅延差 $1T_w$ となる設定値であると言える。

【0166】さらに装置の具体的動作として説明を加えると、記録パルス位置補正部112により記録パルス生成部111に内蔵の遅延部の遅延設定を変化させながら、遅延量測定部113により2つの遅延信号間の遅延量が $1T_w$ となる設定値を探索することができる。

【0167】＜記録補償量の設定の校正＞次に、このようにして探索した設定値を用いて、具体的に記録補償量の設定をどのように校正するかについて説明する。

【0168】ところで、従来技術で述べたように、光ディスク記録装置における記録補償方法として、自己マーク長もしくは直前のスペース長もしくは直後のスペース長の少なくともいずれか1つ、もしくはそれらの組み合わせにより記録パルスの所定のエッジ位置を決定し、決定したエッジ位置の基準位置に対する時間により規定する方法が提案されている。この方法に基づく、所定のパルスエッジ位置に関する記録補償量は、各マーク／スペースの組み合わせの数からなる時間テーブルにより規定される。規定された時間テーブルを上記したような設定値のテーブルに置き換え、なおかつ温度変動・電源電圧変動があっても規定の時間テーブル通りになるように設定値テーブルを更新していくことを「記録補償テーブ

は、例えば、米国特許出願第09-352,211号に詳細に開示されており、その内容は参照することによって本明細書の一部として組み込まれる。

【0169】<記録補償テーブルの校正>図15は、本発明に係る光ディスク記録装置における記録補償テーブルの校正方法についての具体的処理を示すフローチャートである。図に示すように、記録補償テーブルの校正開始が指示されると、まず、選択信号 $\pm N$ の設定を行う(ステップ1)。すなわち、システム制御部110は、記録パルス位置補正部112経由で選択信号 $\pm N$ の設定を行い、その結果、遅延量測定部113の第1及び第2の入力に対する遅延段数が設定される。その後、選択された遅延段数に対する遅延測定結果を読み取る(ステップ2)。

【0170】すなわち、遅延量測定部113には選択された遅延段数に対応した第1の入力及び第2の入力が入力され、それに対する遅延量測定結果をシステム制御部110が読み取る。その後、システム制御部110は読み取った遅延量測定結果をもとに、現在の遅延量がほぼ1Twであるかどうかを判断する(ステップ3)。遅延量が1Twに満たないと判断されると、設定値NはN+1にインクリメントされ(ステップ4)、ステップ2に戻る。遅延量がほぼ1Twであると判断されると、選択信号Nの値を用いて時間テーブルを設定値テーブルに変換する(ステップ5)。

【0171】図9は、記録補償量の時間テーブルから設定値テーブルへの変換の一例を示す模式図である。図9の例では、記録パルスの所定のエッジ位置が、記録しようとするマーク(自己マーク)の長さ、自己マークの直前のスペース長との組み合わせにより決定されている。

【0172】即ち、自己マーク長が3Tw、4Tw、5Tw以上の3種類と、直前スペース長が3Tw、4Tw、5Tw以上の3種類との組み合わせで、 $3 \times 3 = 9$ 通りのエッジ位置を時間で規定したものが図9の時間テーブルである。ここで、1Tw=17ナノ秒とし、図11にて説明したように遅延量測定部113を用いて求めた二つの入力の遅延差が $\pm 0.5Tw$ となるときの設定値をN(例えば、図8に示すNs、No、Nfの値)とすると、時間テーブルに対応した設定値テーブルは図9に示すように作ることができる。ここで、設定値テーブルの各エントリの値は、対応する時間テーブルのエントリの値(-1、-2、+2、+3等)に、 $N / (0.5Tw)$ の値を乗算して求められる。なお、このように求めた各エントリの値は、必ずしも整数値とはならないが、実際の遅延部の設定は整数値として与えられる。従って、四捨五入等の丸め処理を行ない、整数値に直す必要がある。

【0173】設定値テーブルの値はNを定数とする比例

因によりNの値が大きくなると、設定値の絶対値も大きくなる。Nの値が大きくなるということは、設定値の1ステップ当たりの遅延量が標準より小さくなるということである。このとき設定値の絶対値が大きくなると、設定値0(基準位置)と所定のエッジ位置を決める設定値との間の遅延段数差も多くなる。つまり、設定値の1ステップ当たりの遅延量が標準より小さくなると段数は逆に多くなるため、所定のエッジ位置の基準位置からの遅延量は一定に保たれる。

【0174】逆に、Nの値が小さくなると設定値の絶対値も小さくなり、基準位置(設定値0)との間の段数差も少なくなる。つまり、設定値の1ステップ当たりの遅延量が標準より大きくなると段数は逆に少なくなるため、所定のエッジ位置の基準位置からの遅延量は一定に保たれる。

【0175】従って、図9に示したような方法で、Nの値を基に設定値を変換し、変換された設定値を用いて記録パルスの所定のエッジ位置を補正することにより、温度・電源電圧等の変動により遅延部の遅延量が変動しても、記録補償量は一定に保たれる。これにより、温度・電源電圧変動等の外部要因で、記録特性が劣化することを防ぐというすばらしい効果が得られる。

【0176】なお、図9に示す時間テーブルでは、記録パルスの所定のエッジ位置を示す各時間情報は自己マーク長と直前のスペース長の組み合わせにより個別に決定されているが、これに限定されるものではない。自己マーク長と直後のスペース長の組み合わせでも良いし、自己マーク長のみで場合分けしても良い。例えば、図2の例に示したような記録パルスを用いる場合、ファーストパルスの始端エッジ位置SFPを自己マーク長と直前スペース長の組み合わせ毎に個別に決定し、ラストパルスの終端エッジ位置ELPを自己マーク長と直前スペース長の組み合わせ毎に決定するといった方法を採用すると、マーク間の熱干渉を記録補償する観点から効果的である。

【0177】また、図15に示したような記録補償テーブルの校正方法は、図6に示したクロック遅延部を備えた記録パルス生成部111に対するものとして説明したが、図16に示したクロック遅延部を用いる場合でも、同様に適用できる。

【0178】また、図17に示した電圧制御型遅延素子を用いたクロック遅延部に対しては、遅延選択信号が離散値ではなく、アナログ的に変化する電圧であるため、図15に示した方法をそのまま適用できない。しかしながら、図15のステップ1における選択信号値 $+N/-N$ をそれぞれ遅延制御電圧 V_n/V_{-n} とし、ステップ4におけるN値を+1だけインクリメントする動作を、遅延制御電圧 V_n を $(V_n - V_s)$ に、遅延制御電圧 V_{-n} を $(V_n + V_s)$ に変化させる動作と置き換えることにより、同様に適用可能となる。但し、ここで V_s は要求さ

り、現在の遅延制御電圧を V_s だけ増減させることで、図15の例における一遅延段数分遅延量が増減する。

【0179】<遅延部の構成素子のバラツキ補正>以上説明したような方法で、温度・電源電圧等の変動により遅延部の遅延量変動しても、記録補償量を一定に保つ事が可能であることを示した。この方法を用いることで、遅延部全体の遅延量変動するような場合に大きな効果が得られる。しかしながら、遅延部を構成する個々の素子間のバラツキに対しては大きな効果を得ることは難しいという課題がある。

【0180】ここに言う素子間の遅延バラツキとは、図6に示したクロック遅延部502の構成の場合にはインバータ素子601、図16に示した構成の場合にはバッファ素子1601、図17に示した構成の場合には電圧制御型遅延素子1701等の各々の素子間に存在する遅延量に対するバラツキを言う。

【0181】図6もしくは図16に示した遅延部をデジタルIC（スタンダードセル・ゲートアレイ等）に内蔵させる場合、汎用のロジックセルを用いて構成できるが、デジタルIC内部におけるロジックセルの配置状況、ロジックセル間の配線負荷、ロジックセルを構成するトランジスタの駆動能力等のバラツキにより、遅延量のバラツキが生じる。また、図17に示した電圧制御型遅延素子の場合にも、遅延制御電圧に対して入出力間の遅延を完全にリニアにすることは実際上かなり困難であり、非線型な特性となる部分も存在する場合がある。従って、実際の装置において遅延部の特性が、図8に示した選択信号値と遅延時間の関係のような理想的な直線ではなく、ある範囲のバラツキを持った特性となる。

【0182】図24は実際の装置における遅延部（図6に示すようなインバータ素子を用いて構成した）の遅延特性の一例を示すもので、横軸に選択信号値、縦軸に入出力間の総遅延時間及び隣接する選択信号値間の遅延時間の差分をとったグラフである。図に示すように、差分遅延時間はある幅を持った範囲内に分布しており、この分布から選択信号値により遅延時間にかなりバラツキがあることが分かる。

【0183】このように、遅延時間にバラツキが存在する場合、図15等を用いて説明した方法、即ち総遅延量が $1T_w$ となる選択信号値 N を用いて時間テーブルを設定値テーブルに変換する方法では、結果として記録パルスのエッジ位置にバラツキが生じる。なぜなら、上記方法は遅延部の特性を理想的な線形特性と想定して時間を設定値に置き換えているため、図24に示すようにバラツキがあると、理想的な線形特性からずれたバラツキの成分がそのまま記録パルスのエッジ位置の誤差につながるからである。

【0184】そこで、遅延部を構成する個々の素子間のバラツキがあっても、記録パルスのエッジ位置の誤差を

【0185】まず、遅延部を複数の領域に分割する。例えば、図25(a)に示すように、選択信号値が0を中心にして負の領域と正の領域に2分割する。すなわち、遅延部を構成する複数段のインバータを、出力する選択信号値が負になるインバータからなるグループ（A点からB点の間にあるインバータのグループ）と、出力する選択信号値が正になるインバータからなるグループ（B点からC点の間にあるインバータのグループ）とに分ける。

【0186】次に分割した各領域（グループ）に対して、別々に遅延時間の測定を行う。遅延時間の測定は、例えば図11に示した遅延量測定部を用いて行える。但し、遅延部を複数の領域に分割しているため遅延時間が短くなるので、周期の短い遅延測定用クロックを用いる必要がある。図25(a)の例では、選択信号値が-32のポイントをA点、選択信号値が0のポイントをB点、選択信号値が+32のポイントをC点とした。負の領域の遅延時間はABの2点から測定する。また正の領域の遅延時間をBCの2点から測定する。

【0187】分割した各領域に対する遅延時間を全て測定し終われば、予め定められた記録パルスのエッジ位置に対応する選択信号値を、測定結果に基づいて求めることができる。

【0188】例えば、図25(a)に示すように、クロック遅延部を負の領域と正の領域に2分割した場合には、設定値1ステップ当たりの遅延量が正/負の領域別々に求まるため、定められたエッジ位置が正か負かで以下に示すように別々の変換式で選択信号値に変換する。

$$S(+)=t \div a(+)\quad \cdots \quad t \geq 0 \text{ の時}$$

$$S(-)=t \div a(-)\quad \cdots \quad t < 0 \text{ の時}$$

ここで、 $S(+)$ 、 $S(-)$ はそれぞれ正、負の領域における選択信号値を表す。 t は定められたエッジ位置を基準軸に対する相対時間として表す。 $a(+)$ 、 $a(-)$ はそれぞれ正、負の領域におけるグラフの傾き、即ち1ステップ当たりの遅延量を表す。なお、傾き $a(-)$ についてはA、B間の遅延時間測定結果をステップ数32で割ることにより求まる。傾き $a(+)$ についてもB、C間の遅延時間測定結果をステップ数32で割ることにより求まる。より一般的に述べると、傾き $a(-)$ はA、B間の遅延時間 T_{A-B} をA、B間のステップ数 N_{A-B} で除算することにより求められる。また、傾き $a(+)$ はB、C間の遅延時間 T_{B-C} をB、C間のステップ数 N_{B-C} で除算することにより求められる。図9に示す時間テーブルに対して遅延部の構成素子のバラツキ補正を考慮した場合の設定値テーブルの例を図26に示す。このように、設定値テーブルの各エントリにおいて係数 $a(+)$ 、 $a(-)$ を含ませることにより素子のバラツキ補正が行なえる。なお、このように求めた各エントリの値は、必ずしも整数値とはならないが、実際の遅延部の設定は整数値として与えられる。従って

る。

【0189】このように、クロック遅延部を2分割し、それぞれの分割領域について遅延時間を測定し、測定結果を基にグラフの傾きを求めることで、図25(b)に示すように2点折れ線近似によりエッジ位置時間を選択信号値へ変換することができる。このため、遅延部全体の遅延時間測定結果から直線近似で補間する場合と比較して、設定誤差をより低減することができる。

【0190】ここで、遅延部の分割数をさらに増やすことにより、設定誤差をより低減することができる。例えば、遅延部を8分割した場合について図27を用いて説明する。

【0191】図27に示す例では選択信号値-32から+32までを4ステップ毎に8分割し、-32のポイントから順番にA, B, C, D, E, F, G, H, I点とした。次に、各分割領域の遅延時間を、AB, BC, CD, DE, EF, FG, GH, HIの各2点間で測定する。

【0192】8分割した各領域に対する遅延時間を全て測定し終われば、予め定められた記録パルスのエッジ位置に対応する選択信号値を、測定結果に基づいて求めることができる。この際、8点の折れ線により近似することができるので、2分割した場合と比較して、より精度の高い補間処理を行うことができる。

【0193】以上説明したように、遅延部を分割し、各分割領域に対する遅延時間を測定し、測定結果を基に、記録パルスのエッジ位置を制御することにより、遅延部を分割しない場合に比べ、遅延部にバラツキがある場合でも、精度の高い記録パルスのタイミング生成が可能である。

【0194】また、遅延部の分割数を多くするとより目細かな補間処理を行うことができるので、記録パルスの精度をさらに向上できる。但し、分割数をあまり多くしすぎると遅延時間の測定に要する時間が延びたり補間処理が複雑になり、制御部の負荷を増大させてしまうため望ましくない。また、分割数が多くなると測定すべき遅延時間も短くなるため、より高速な遅延量測定部が必要となる。以上の点から分割数は適切な値に設定するのが好ましい。

【0195】また、本例においては、予め所定のステップ数毎に分割個所を決定しておく方法を採用したが、必ずしもそうする必要はない。逆に遅延量が所定時間となるステップ数を検出することでグラフの傾きを求めるようにしても良い。

【0196】その場合に折れ線補間近似を行うためには、例えば、遅延部の総遅延時間の半分より小さい周期のクロック信号を用意し、このクロック信号を用いてクロック信号の周期と略一致する領域を検出することができる。選択信号値を変化させて遅延量がクロックの周期

の遅延量が所定時間となる領域を検出することができる。グラフの傾きについては、クロックの周期を求めた両端の選択信号値の差で割ることで1ステップの遅延時間として求まる。

【0197】分割数を多くするためには、遅延部の総遅延時間に対して十分短い周期のクロック信号を用いれば良い。これにより遅延部にばらつきがある場合でも記録パルスの精度をより向上させることが可能となる。

【0198】また、固定ステップ数毎に分割する方法に比べ、この方法の利点は固定周期のそれほど高速でないクロック信号により遅延測定を行うことが可能であるため、遅延量測定部の構成を簡単化できることである。具体的には図11にて説明した構成により実現可能である。

【0199】また、以上に説明した方法では、複数に分割した領域の傾きをそれぞれ求めて、折れ線補完近似を行う例として説明したが、近似の方法はこれに限定されるものではない。複数の分割領域に対して個別に遅延時間を測定し、その測定結果からより精度の高い遅延プロファイルを算出することが本発明の主眼とするところである。従って、測定結果から算出する遅延プロファイルは、曲線で近似しても良いし、予め定めた特性関数のパラメータを用いて算出しても良い。

【0200】<記録補償テーブルの校正開始タイミング>次に、記録補償テーブルの校正開始タイミングについて説明する。記録補償テーブルの校正は記録パルスの所定のエッジ位置を補正するものであるから、実際に光ディスクヘデータの記録を行っている最中に行うことはできない。したがって、記録補償テーブルの校正はデータの記録動作中以外に行うこととする。

【0201】記録パルス位置の変動原因となる電源電圧・温度等、特に装置内の温度は刻一刻と変化するのが通常であるから、記録補償テーブルの校正は、記録パルス位置の精度の観点から定期的に行うことが望ましい。従って、データの記録動作の合間をねらって、記録及び再生の制御を司っているシステム制御部110がフォーマットエンコーダ/デコーダ107に対し、記録補償テーブル校正の起動をかけるようにしても良いし、フォーマットエンコーダ/デコーダ107が自主的に行うようにしても良い。

【0202】図28に上述した記録補償テーブルの校正タイミング即ち、記録パルス補正に関する処理の流れの一例を示す。図において、記録パルス補正処理(ステップ101)は記録補償テーブルの校正処理全般を示すもので、例えば、図15に示した処理が含まれる。データ記録処理(ステップ102)は通常のデータ記録処理、即ち光ディスクに実際にデータ記録を行っている処理を示す。図に示すように、記録パルス補正処理はデータ記録処理を行う期間外に行われる。従って、通常の記録動

とが可能となる。

【0203】ところが、ベリファイ機能をサポートしているドライブでは、必ずしも定期的に記録補償テーブルの校正を行う必要はない。ここで、「ベリファイ機能」とはデータの記録を行った時点で、記録したデータを一度再生してデータのエラー率が所定以下であることを確認する機能である。つまり、記録パルスのエッジ位置が仮にずれていたとしても、ベリファイ動作により記録したデータに訂正不能なエラーがないことが確認されると、必ずしも記録補償テーブルの校正を行う必要はない。逆に、ベリファイ動作により記録したデータのエラー率が所定以上あることが確認されたり、またその頻度が高くなった場合、記録パルスのエッジ位置がずれている可能性がある判断され、したがって、このときには記録補償テーブル校正の起動をかけるようにしても良い。

【0204】＜記録パルス補正に関する処理＞図29に上述した記録パルス補正に関する処理の流れの一例を示す。図に示すように、データ記録処理（ステップ111）の後にベリファイ処理（ステップ112）に移行する。ベリファイ処理では、データ記録処理において記録されたデータの再生を行い、エラー状態の検出（例えばビットエラーレートの測定など）を行う。ベリファイ処理の後、ベリファイのエラー状態を判断し（ステップ113）、エラー状態が予め定めておいたクライテリアに満たない場合（“No Good”）には、記録パルス補正処理（ステップ114）を行い、エラー状態が所定のクライテリアを満足する場合（“Good”）には記録パルス補正処理を行わない。なお、エラー状態の判断は、直前のベリファイ処理におけるエラー状態のみで判断しても良いし、過去に実行された複数のベリファイ処理におけるエラー状態から判断しても良い。

【0205】また、別途温度センサもしくは電圧測定部またはその両方を備えて温度変動もしくは電源電圧変動を検出し、それらに所定以上の変化が検出された場合のみ記録補償テーブルの校正を行う構成としても良い。この場合、データ記録装置において、あらかじめ温度センサもしくは電圧測定部が具備されていれば、それを利用することでコストアップ無しに、より効率的な記録補償テーブルの校正を行うことが可能となる。

【0206】＜記録パルス補正処理の実行を行なうか否かの判断処理＞図30及び図31を用いて、上述の記録パルス補正処理の実行を行なうか否かの判断処理について説明する。

【0207】図30は検出した温度状態に応じて記録パルス補正を行うか否かを判断するときの処理の一例を示す。図に示すように、温度センサ等により現在の装置の温度を読み取る温度検出処理（ステップ121）の後、温度が所定値以上変化したどうかを判断し（ステップ1

S”）には記録パルス補正処理（ステップ123）を行い、所定値以上の温度変化がないと判断した場合（“NO”）には記録パルス補正処理を行わない。温度変化については、最後に記録パルス補正処理を行った際の温度と現在の温度とを比較して判断しても良い。あるいは、予め所定の温度範囲からなる複数の温度ゾーンを設けておいて、最後に記録パルス補正処理を行った際の温度ゾーンと現在の温度ゾーンとを比較して判断するようにしても良い。

【0208】図31は電源電圧状態に応じて記録パルス補正を行うか否かを判断するときの処理の一例を示す。図に示すように、電源電圧を測定する手段により現在の装置の電源電圧を読み取る電源電圧測定処理（ステップ131）を行なう。ここで、電源電圧が複数ある場合には、記録パルスの生成に用いている遅延部に印加されている電源電圧について測定する。その後、電源電圧が所定値以上変化したどうかを判断し（ステップ132）、所定値以上変化したと判断した場合（“YES”）には記録パルス補正処理（ステップ133）を行い、所定値以上の変化がないと判断した場合（“NO”）には記録パルス補正処理を行わない。電源電圧変化については、最後に記録パルス補正処理を行った際の電圧値と現在の電圧値とを比較して判断しても良いし、予め所定の電圧範囲からなる複数の電圧ゾーンを設けておいて、最後に記録パルス補正処理を行った際の電圧ゾーンと現在の電圧ゾーンとを比較して判断しても良い。

【0209】

【発明の効果】以上説明したように、本発明の実施の形態に示した光ディスク記録装置の構成によれば、記録パルス生成手段で生成した記録パルスを用いて記録時のレーザ発光波形を制御できる。さらに、記録パルスの所定のエッジ位置は記録パルス位置補正手段をもって補正可能である。さらに、遅延量測定手段をもって記録パルス生成手段の遅延手段の遅延量を測定することが可能である。つまり、遅延量測定手段による遅延量測定結果に基づき、記録パルス生成手段により生成される記録パルスの所定のエッジ位置を記録パルス位置補正手段により補正することが可能となる。従って、電源電圧・温度の変動などにより遅延手段の遅延量が変動しても、記録パルスの所定のエッジ位置を適正に保つことが可能となり、従来の光ディスク記録装置に比べ記録データの品質を向上することが可能となる。

【0210】また、本発明の実施形態に示した光ディスク記録方法によれば、データの記録を行っていない期間に記録パルスのエッジ位置の補正を行い、データの記録は記録パルスのエッジ位置が補正された状態で行うことができる。従って、通常の記録動作に影響を与えることなく、定期的に記録パルスの所定のエッジ位置を適正に保つことが可能となり、従来の光ディスク記録装置に比

【0211】また、本発明の実施形態に示した別の光ディスク記録方法によれば、ベリファイ動作の結果に基づいて記録パルスのエッジ位置の補正を行うかどうか判断することができる。従って、記録パルスのエッジ位置を補正する動作を必要などきだけ行うこととなり、記録パルスのエッジ位置補正の処理負担を増すことなく、記録データの品質を向上することが可能となる。

【0212】また、さらに本発明の実施形態に示した光ディスク記録方法によれば、記録パルス生成手段の遅延手段の遅延量が所定の長さとなる選択信号値を求め、求められた選択信号値を用いて記録パルスのエッジ位置に関する時間テーブルを、記録パルス生成手段の遅延設定値テーブルに変換することで、記録パルスのエッジ位置の補正を行うことができる。従って、容易な構成・手順で記録パルスの所定のエッジ位置を適正に保つことが可能となり、従来の光ディスク記録装置に比べ記録データの品質を向上し、装置の信頼性を高めることが可能となる。

【0213】また、本発明の実施形態にて詳細に説明したように、本発明の光ディスク記録方法によれば、記録データの変調に用いる記録クロックを適応的に遅延制御した遅延クロックを生成することで、遅延クロックのタイミングにより記録パルスの所定のエッジ位置を制御することが可能となる。このような遅延クロック出力を複数生成することで、クロック遅延手段は一系統のみでありながら、記録パルスにおける複数のエッジ位置を適応的に制御できる。従って、遅延手段に要する回路規模を小さくすることが可能となり、高精度な記録パルスのエッジ制御が可能な光ディスク記録装置を安価に実現可能となる。

【0214】さらに、記録クロックの立ち上がりエッジもしくは立ち下がりエッジに同期した少なくとも記録クロック1周期分の幅を持つパルス状信号で、かつその開始位置を記録クロックの $1/2$ 周期の時間単位で可変制御可能な基準軸ウィンドウ信号を生成することで、遅延クロックと基準軸ウィンドウ信号のタイミングにより記録パルスの所定のエッジ位置を制御することが可能となる。このような基準軸ウィンドウ信号を記録パルスの適応的に位置制御すべきエッジの種類の数分生成し、それぞれ同数の遅延クロックと対応させて用いることにより、遅延クロックと基準軸ウィンドウ信号の組み合わせ数の個所のエッジ位置を適応的に制御することが可能となる。従って、遅延手段に要する回路規模を小規模に抑えながらも、広範囲にわたる記録パルスのエッジ位置制御が可能となり、安価かつ容易な構成で高精度かつ広範囲な記録パルス位置制御が可能な光ディスク記録装置を実現できる。

【0215】また、本発明の光ディスク記録方法によれば、少なくともファーストパルス、マルチパルス列、ラ

してなるレーザ光を光ディスクに照射することで1つの記録マークを形成し、少なくともファーストパルスの始端エッジ位置、ラストパルスの終端エッジ位置を適応的に制御し、ファーストパルスの始端エッジ位置及びラストパルスの終端エッジ位置はマルチパルス列の立ち上がり位相との相対関係に基づいて規定される場合において、ファーストパルスの始端エッジ位置及びラストパルスの終端エッジ位置を適切に表現できる。

【0216】また、本発明の光ディスク記録装置によれば、遅延手段を構成する素子のバラツキ補正を行なうことにより、より高い精度での記録補償が可能となる。

【0217】以上説明してきたように、本発明の光ディスク記録方法もしくは光ディスク記録装置を用いることにより、高精度かつ広範囲にわたる記録パルス位置制御が容易に実現できるため、光ディスクの高記録密度化の観点から非常に有用である。

【図面の簡単な説明】

【図1】 本発明に係る光ディスク装置の構成を示すブロック図。

【図2】 本発明に係るレーザ駆動部の内部構成の一例を示すブロック図。

【図3】 本発明に係る記録パルスの形状、半導体レーザの発光波形、及び形成される記録マークの一例を説明するための模式図。

【図4】 本発明における記録パルス生成部の構成例であって、パルス遅延部を有した構成を示すブロック図。

【図5】 本発明における記録パルス生成部の別の構成例であって、クロック遅延部を有した構成を示すブロック図。

【図6】 本発明におけるクロック遅延部の構成例であって、インバータ素子を用いた構成を示すブロック図。

【図7】 クロック遅延部の選択信号値と得られる遅延クロック出力の関係について説明するための模式図。

【図8】 クロック遅延部の選択信号値と入出力間の遅延時間との関係を表すグラフを示した図。

【図9】 本発明における記録補償量の時間テーブルから設定値テーブルへの変換の一例を示す模式図。

【図10】 本発明における遅延量測定部の構成を示すブロック図。

【図11】 遅延量測定部の具体的構成例を示すブロック図。

【図12】 図4に示す内部構成を持つ記録パルス生成部を用いて、変調データから記録パルスを生成するまでの具体的動作例を説明するための信号タイミング図。

【図13】 図5に示す内部構成を持つ記録パルス生成部を用いて、変調データから記録パルスを生成するまでの具体的動作例を説明するための信号タイミング図。

【図14】 図11に示す内部構成を持つ遅延量測定部に遅延量測定動作を説明するためのタイミング図。

記録補償テーブルの校正方法の具体的処理の流れを示すフローチャート。

【図16】 本発明におけるクロック遅延部の別の構成例であって、バッファ素子を用いた構成を示すブロック図。

【図17】 本発明におけるクロック遅延部のさらに別の構成例であって、電圧制御型遅延素子を用いた構成を示すブロック図。

【図18】 本発明におけるファーストパルス立ち上がり位置SFPを決定するためのタイミング信号の生成方法を説明するための模式図。

【図19】 本発明における記録パルス生成部の別の構成例を示すブロック図。

【図20】 本発明におけるファーストパルス遅延部の構成例であって、インバータ素子を用いた構成を示すブロック図。

【図21】 本発明におけるファーストパルス遅延部の別の構成例であって、バッファ素子を用いた構成を示すブロック図。

【図22】 本発明におけるファーストパルス遅延部のさらに別の構成例であって電圧制御型遅延素子を用いた構成を示すブロック図(a)と、電圧制御型遅延素子の具体的構成例を示した図(b)。

【図23】 本発明におけるパルスタイミング生成部の構成の一例を示すブロック図。

【図24】 遅延部(遅延回路)の遅延特性を示した図。

【図25】 複数段の遅延素子からなる遅延部において、遅延素子群を2つの領域へ分割する例を説明した図(a)と、選択信号値を近似して求める際の2点折れ線を説明した図(b)。

【図26】 バラツキ補正を考慮した場合の記録補償量の時間テーブルから設定値テーブルへの変換の一例を示す図。

【図27】 複数段の遅延素子からなる遅延部において、遅延素子群を8つの領域へ分割する例を説明した図

(a)と、選択信号値を近似して求める際の8点折れ線を説明した図(b)。

【図28】 記録補償テーブルの校正タイミングを説明するための図。

【図29】 記録パルス補正に関する処理の流れを示したフローチャート。

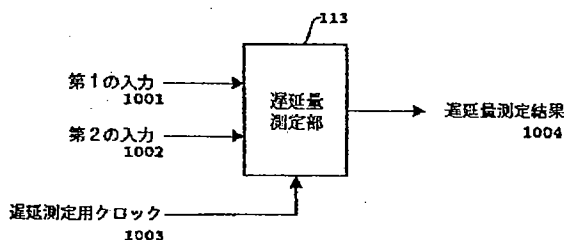
【図30】 温度状態に応じて記録パルス補正実行の当否を判断する処理を示したフローチャート。

【図31】 電源電圧状態に応じて記録パルス補正実行の当否を判断する処理を示したフローチャート。

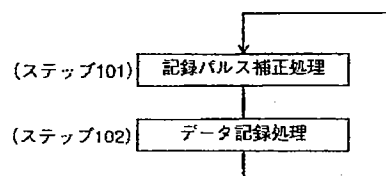
【符号の説明】

- 101 光ディスク
- 102 ディスクモータ
- 103 光ヘッド
- 104 増幅器
- 105 サーボ制御部
- 106 再生信号処理部
- 107 フォーマットエンコーダ/デコーダ
- 108 レーザ駆動部
- 109 ホストインタフェース
- 110 システム制御部
- 111 記録パルス生成部
- 112 記録パルス位置補正部
- 113 遅延量測定部
- 401 パルスタイミング生成部
- 402 ファーストパルス遅延部
- 403 マルチパルス遅延部
- 404 ラストパルス遅延部
- 405 クーリングパルス遅延部
- 501 パルスタイミング生成部
- 502 クロック遅延部
- 601 インバータ素子
- 1601 バッファ素子
- 1701 電圧制御型遅延素子
- 1901 パルスタイミング生成部

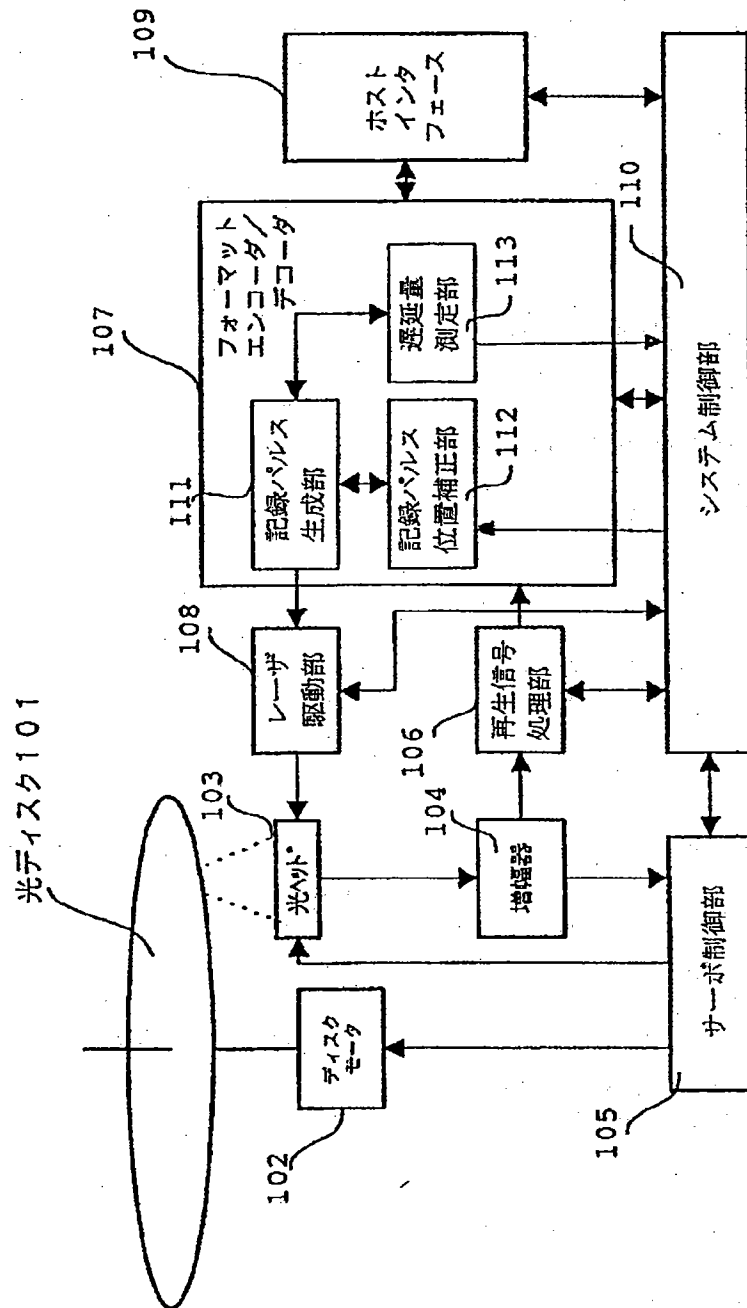
【図10】



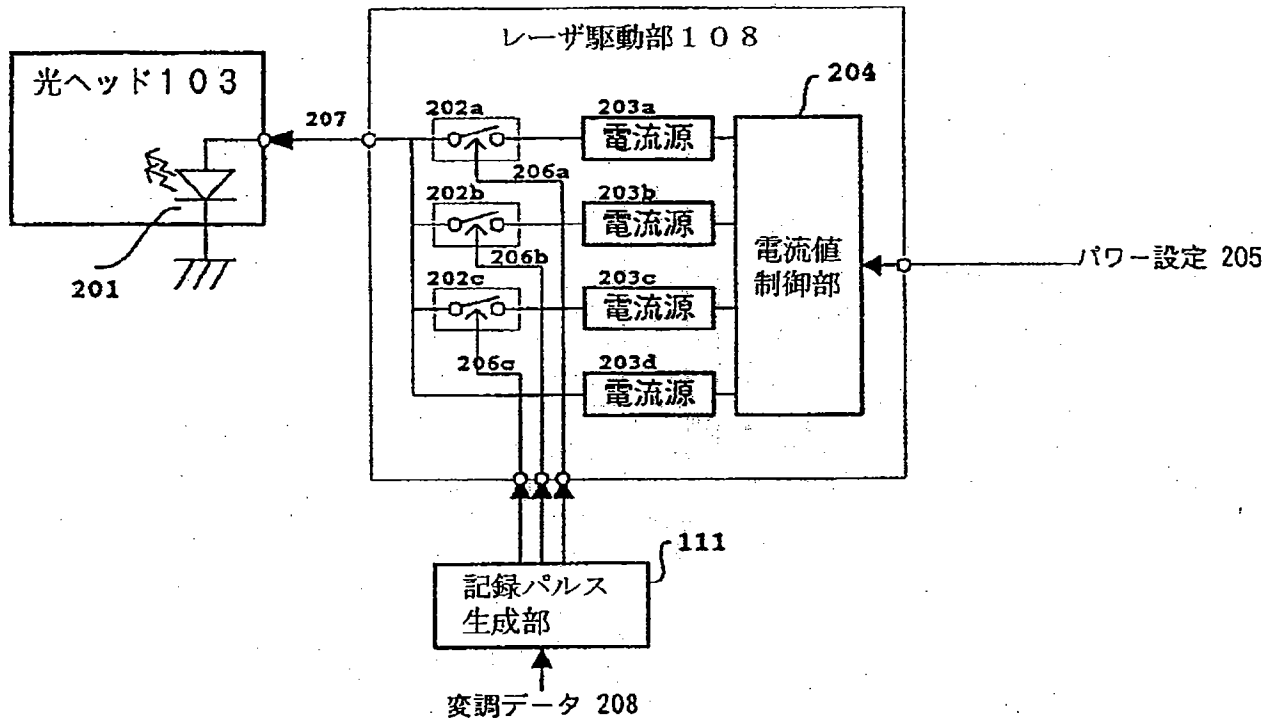
【図28】



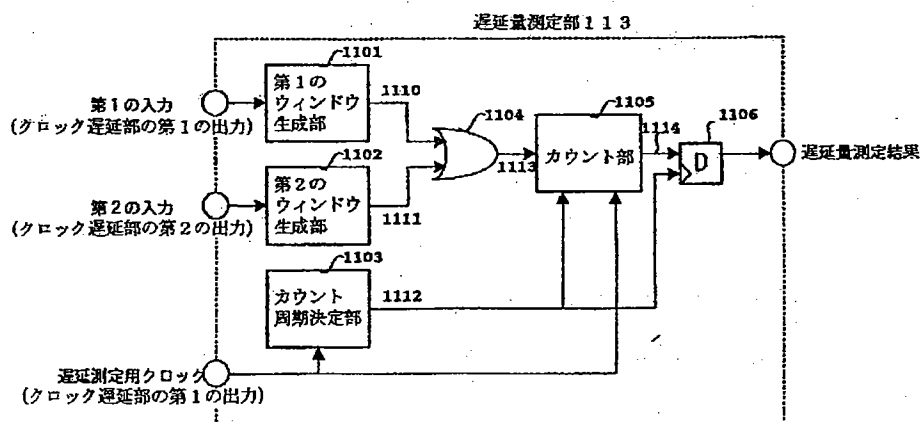
【図1】



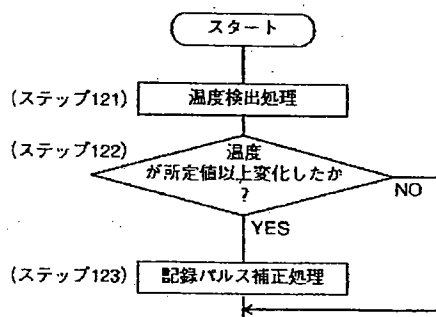
【図2】



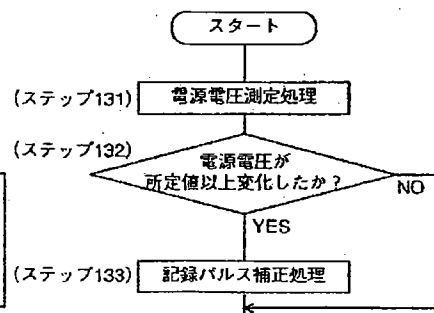
【図11】



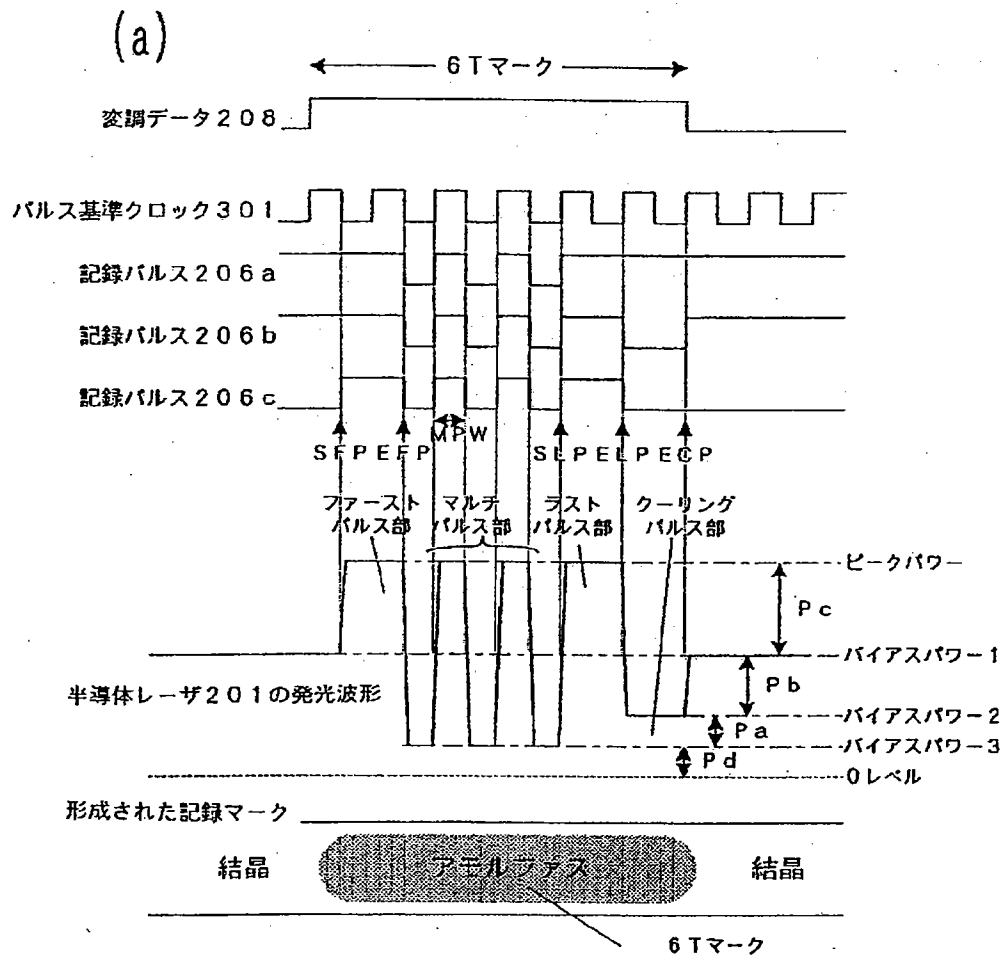
【図30】



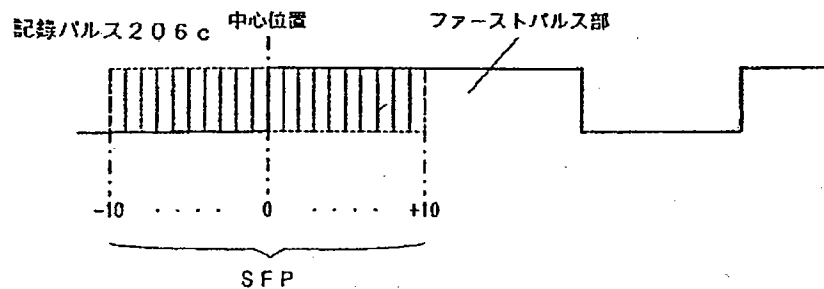
【図31】



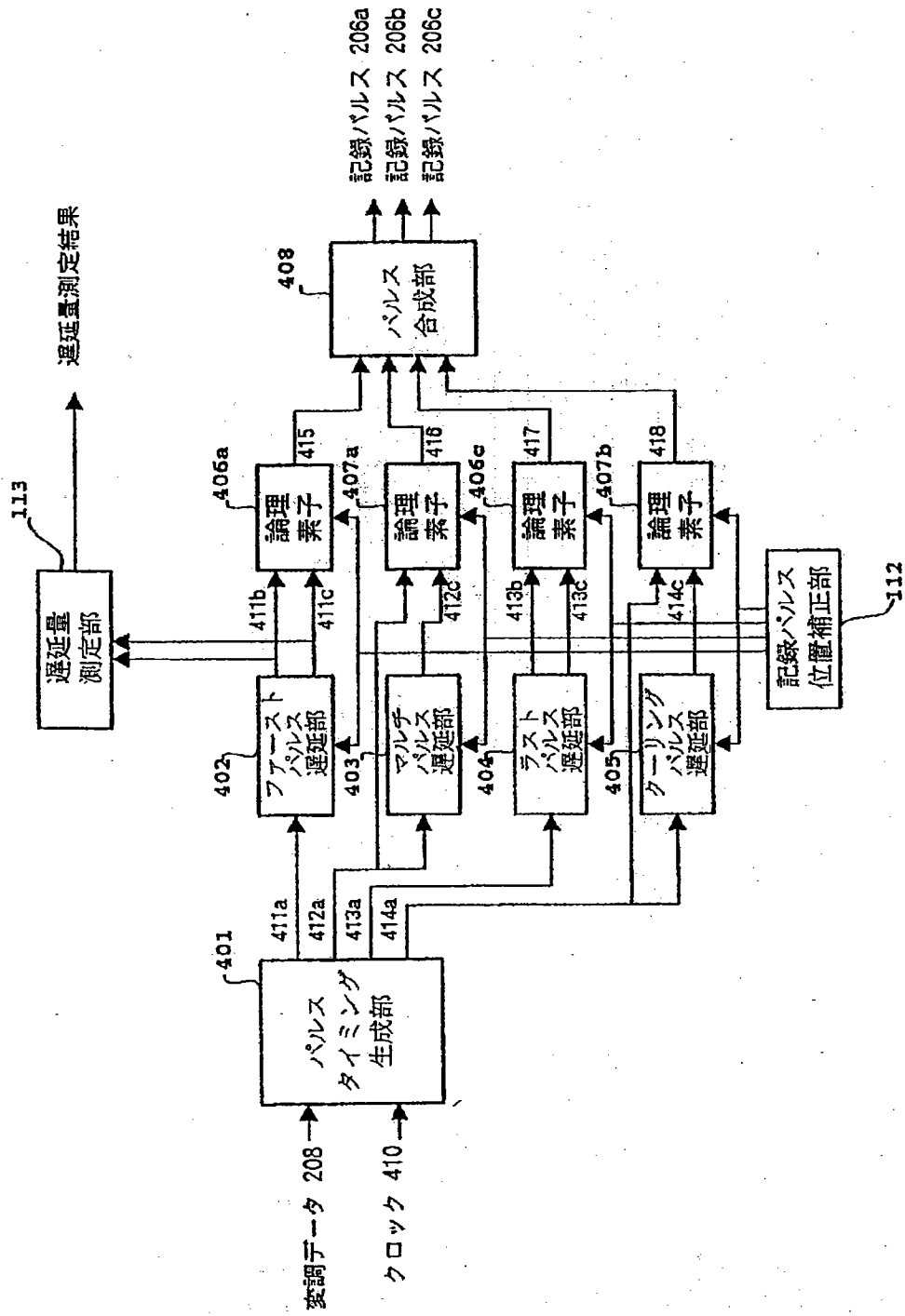
【図3】



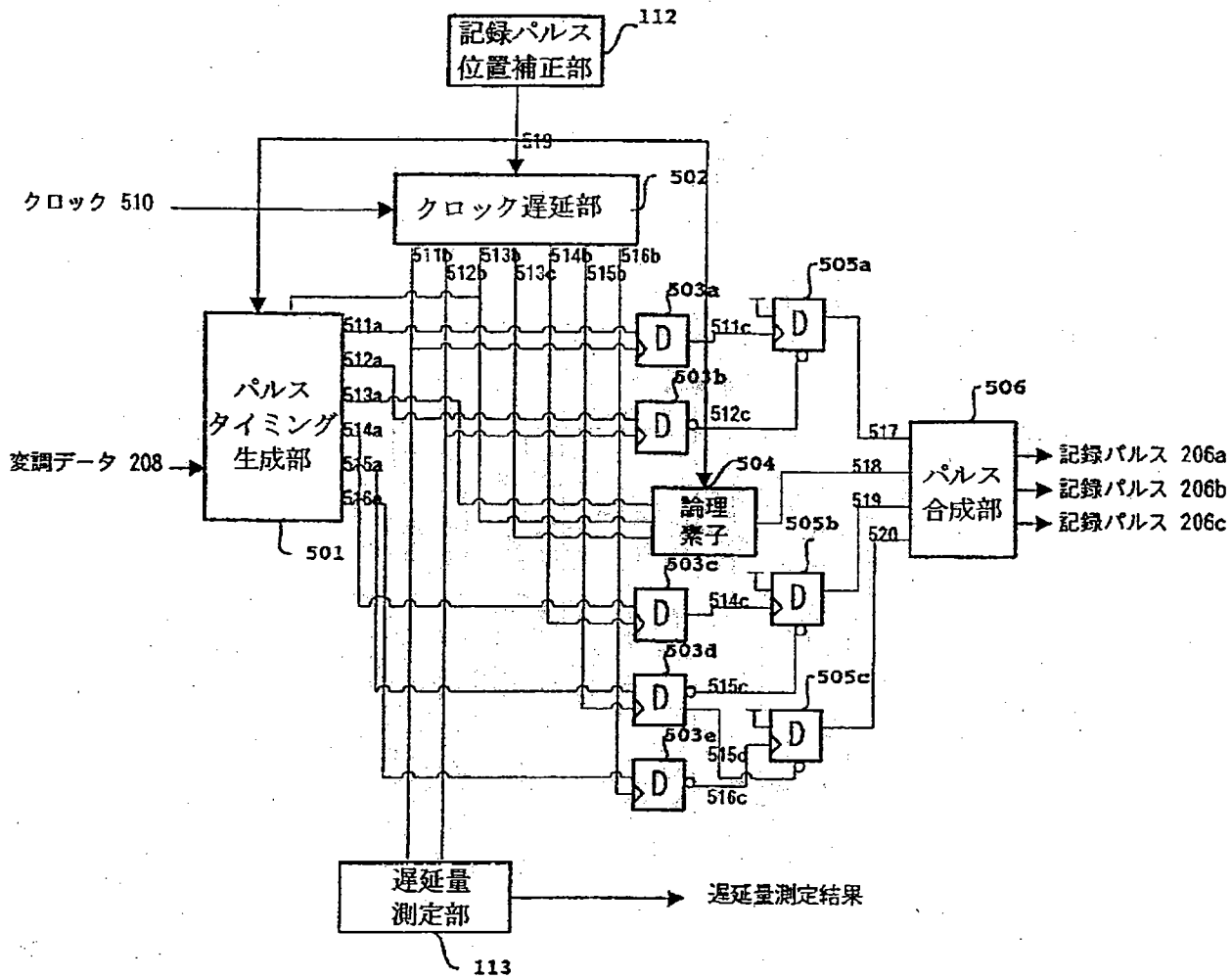
(b)



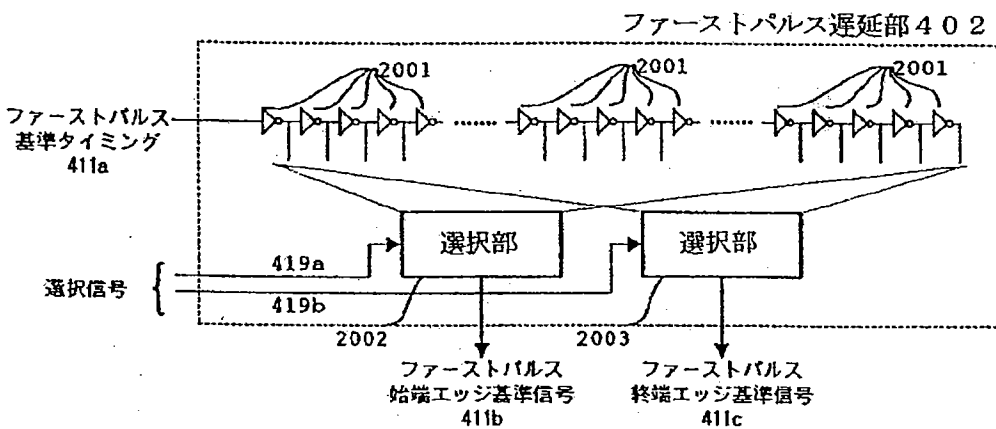
【図4】



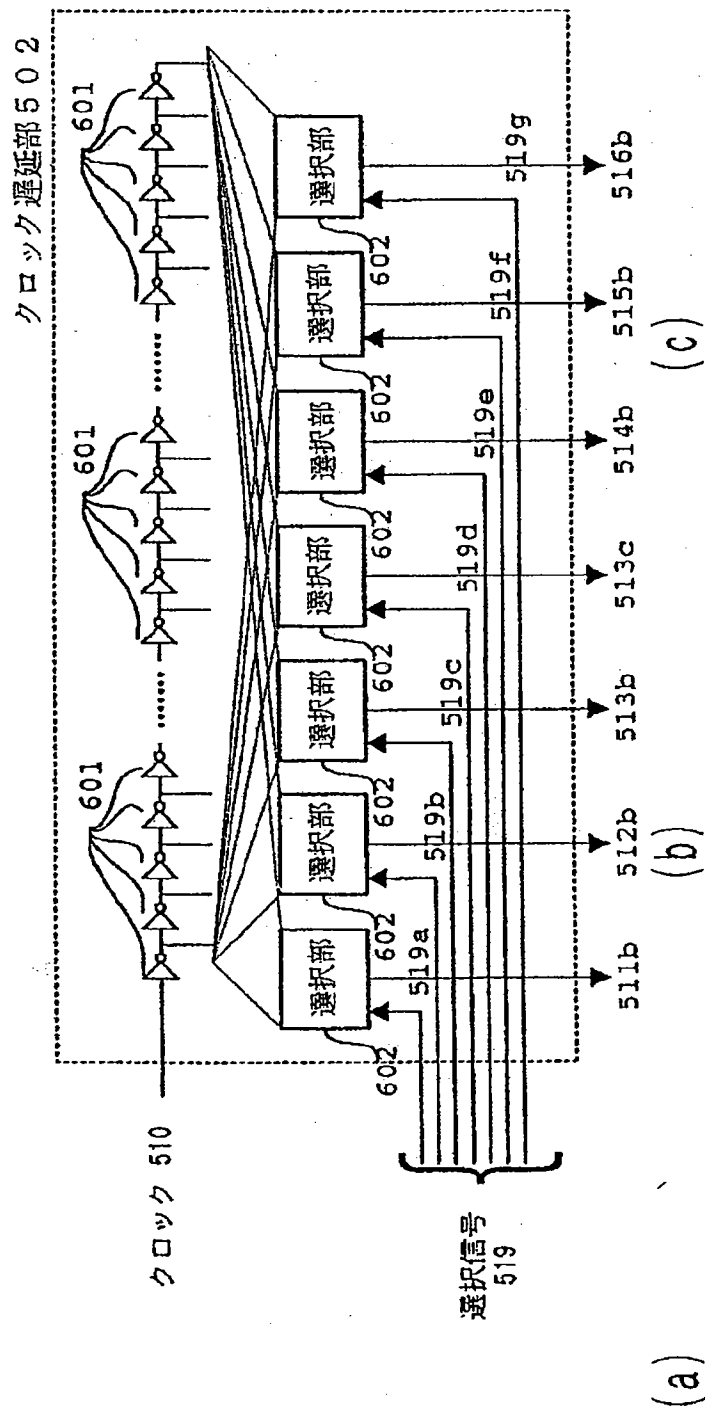
【図5】



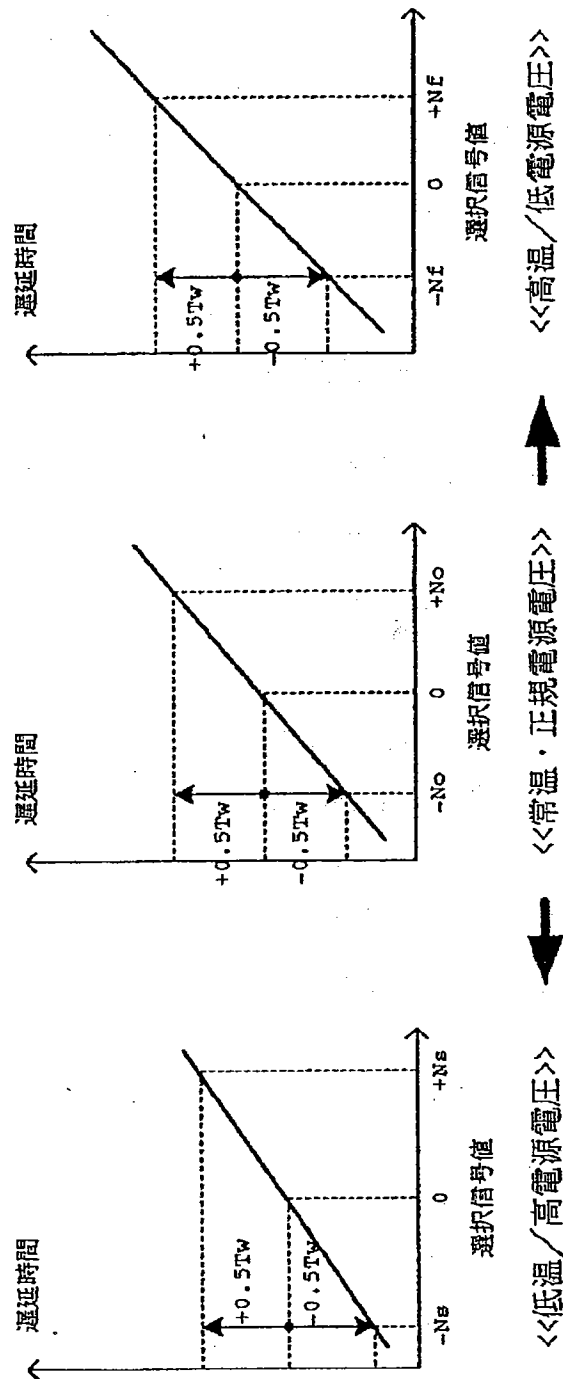
【図20】



【図6】

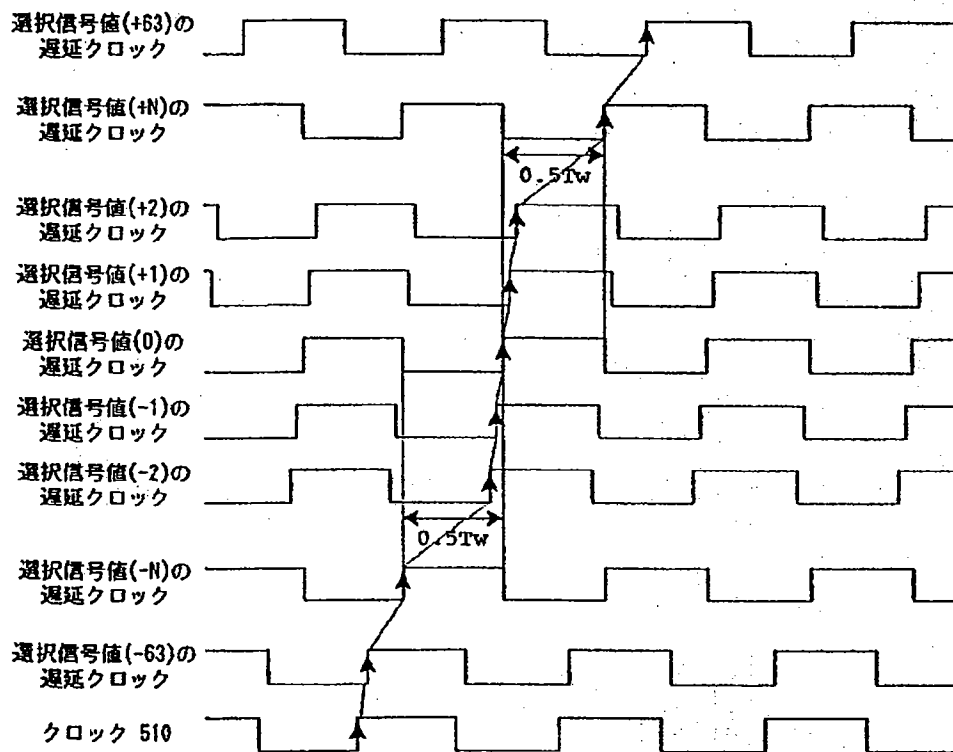
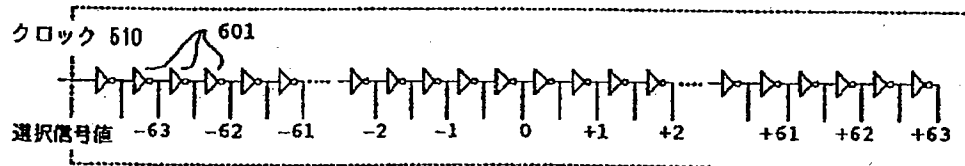


【図8】



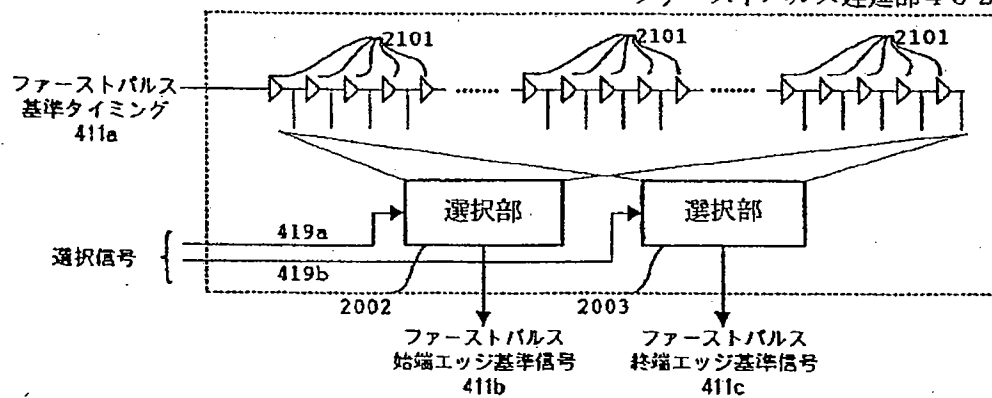
【図7】

クロック遅延部502



【図21】

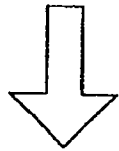
ファーストパルス遅延部402



【図9】

自己 マーク長 直前 スペース長	5Tw 以上	4Tw	3Tw
5Tw 以上	-1 ナノ秒	+2 ナノ秒	+3 ナノ秒
4Tw	-1 ナノ秒	+2 ナノ秒	+4 ナノ秒
3Tw	-2 ナノ秒	+3 ナノ秒	+5 ナノ秒

<時間テーブル>

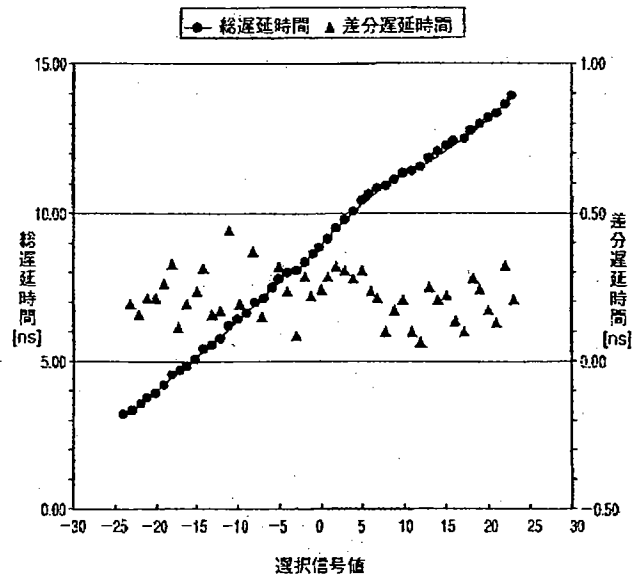


1Tw=17ナノ秒
±0.5Tw : ±N

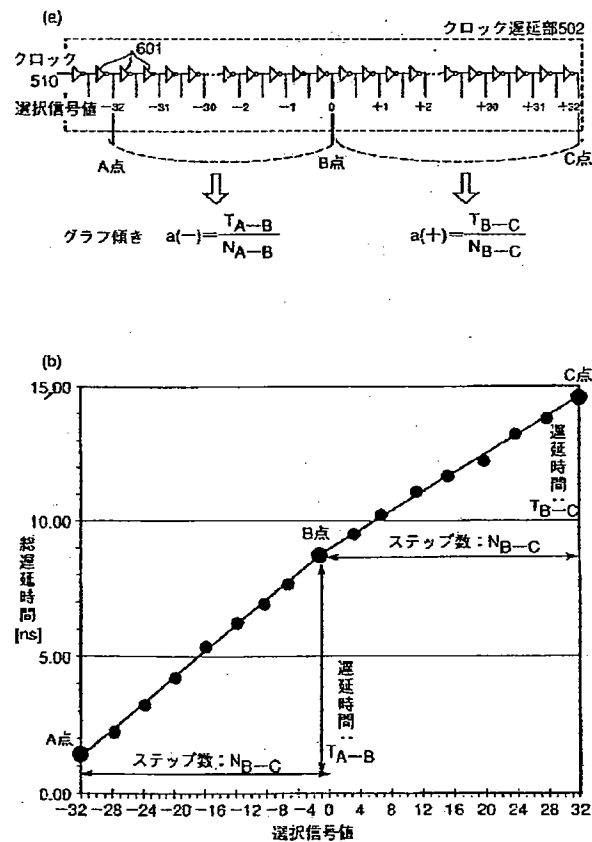
自己 マーク長 直前 スペース長	5Tw 以上	4Tw	3Tw
5Tw 以上	-2N/17	+4N/17	+6N/17
4Tw	-2N/17	+4N/17	+8N/17
3Tw	-4N/17	+6N/17	+10N/17

<設定値テーブル>

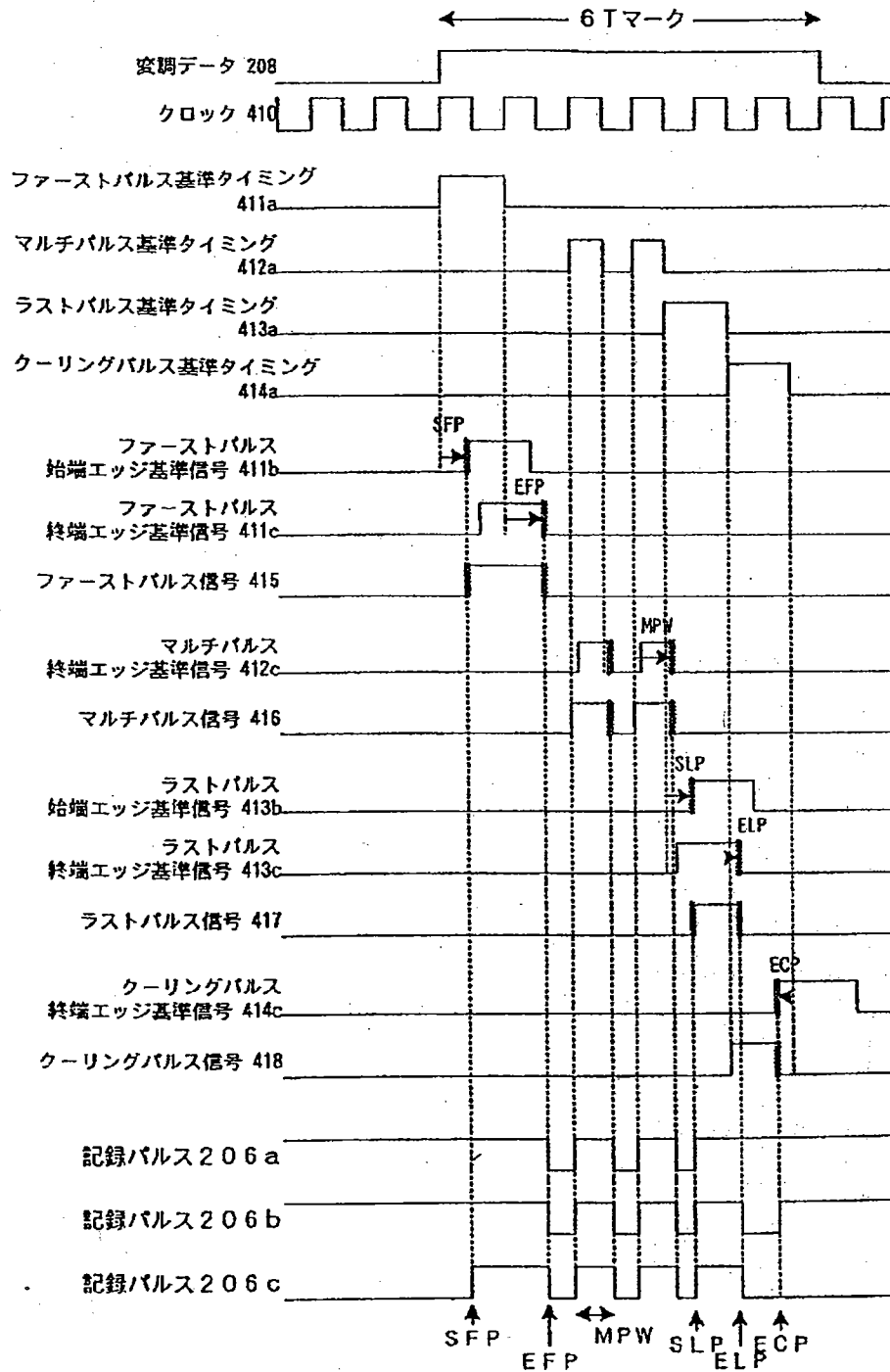
【図24】



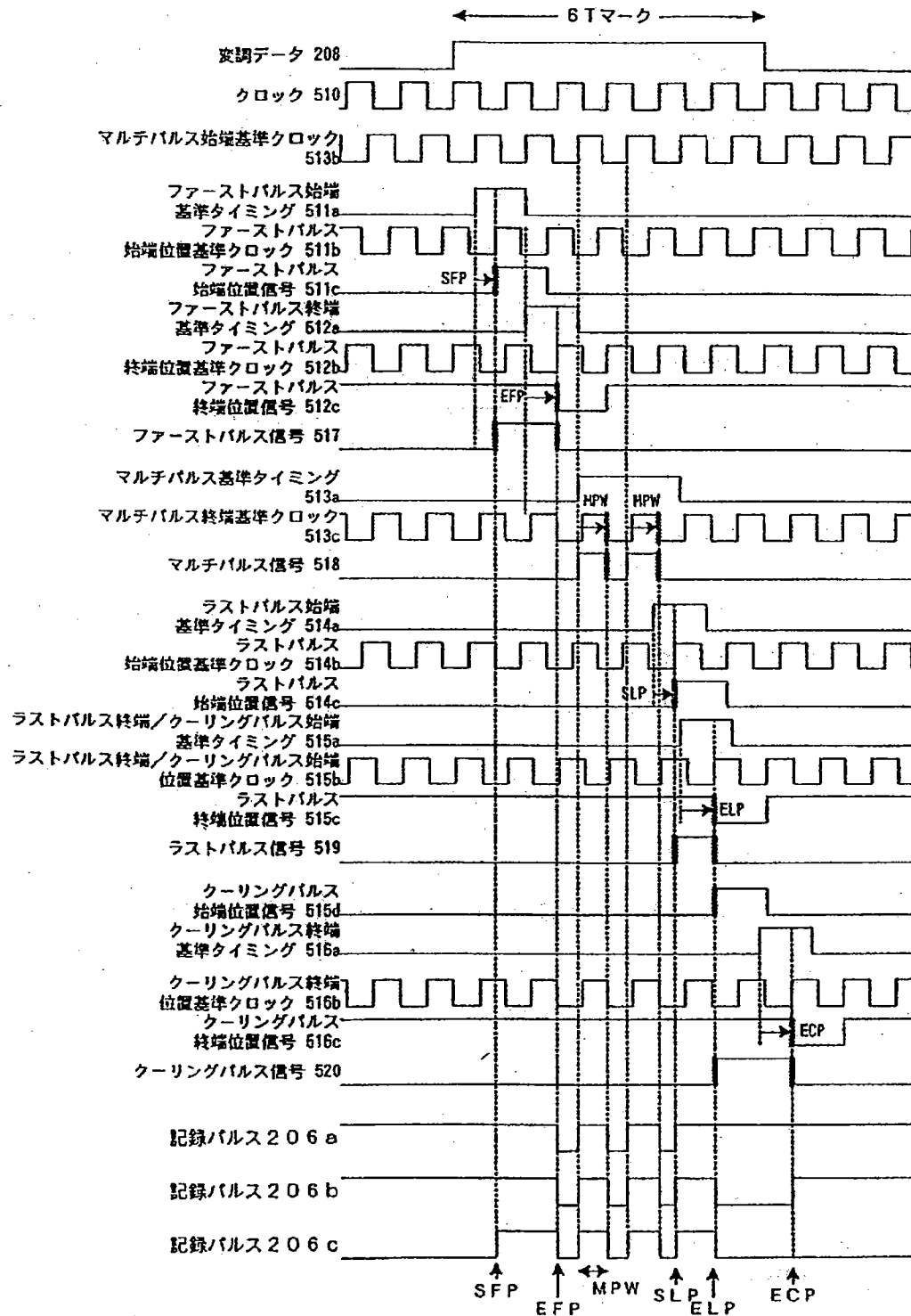
【図25】



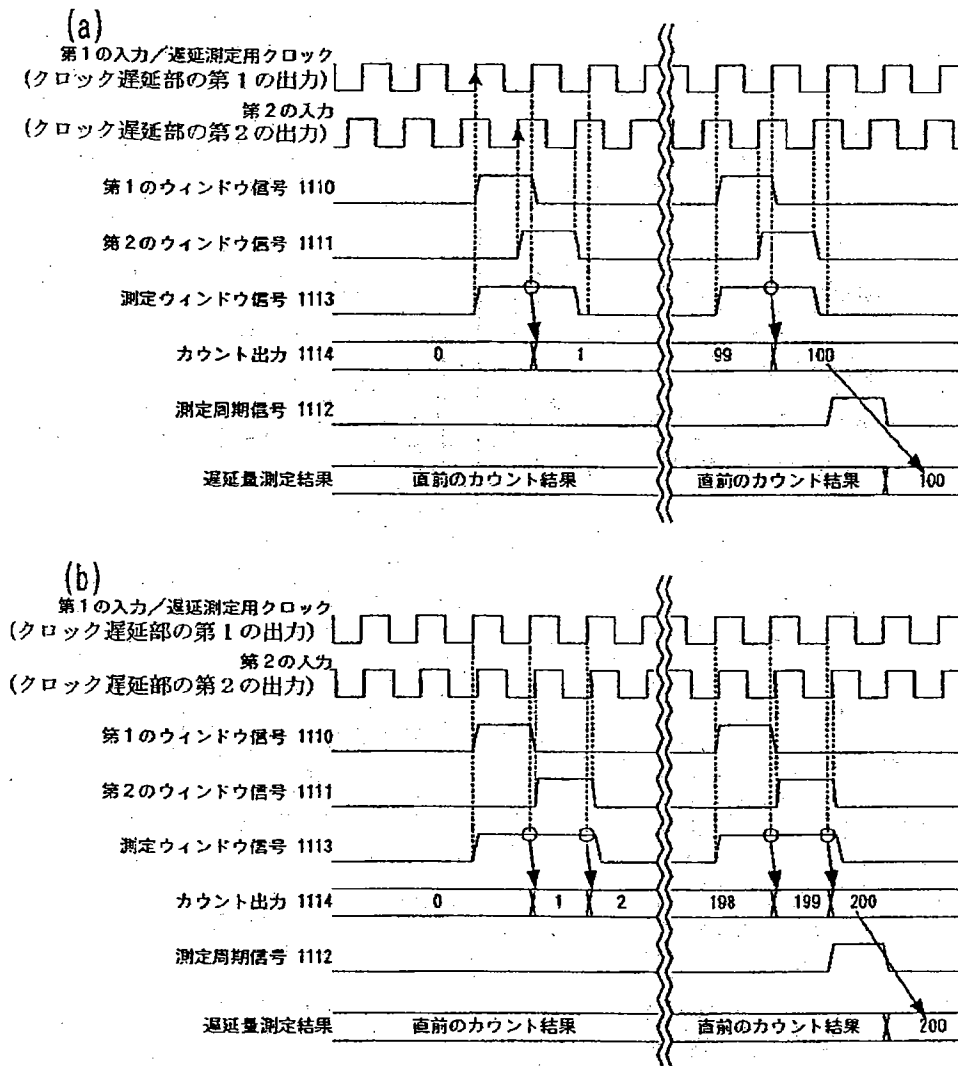
【図12】



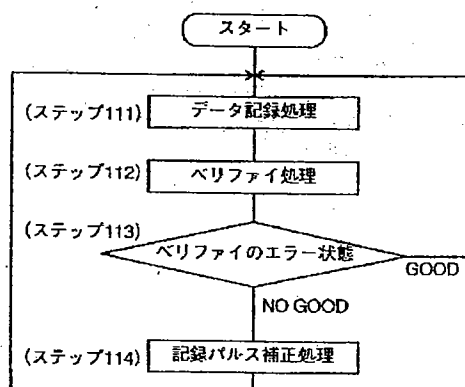
【図13】



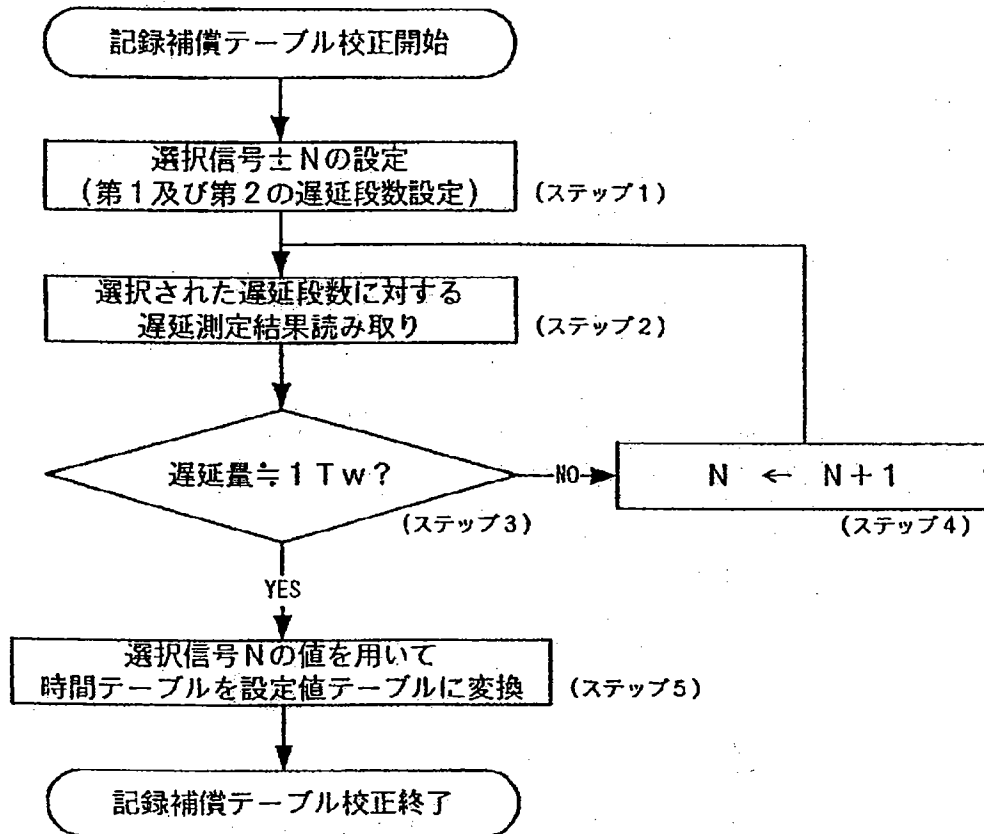
【図14】



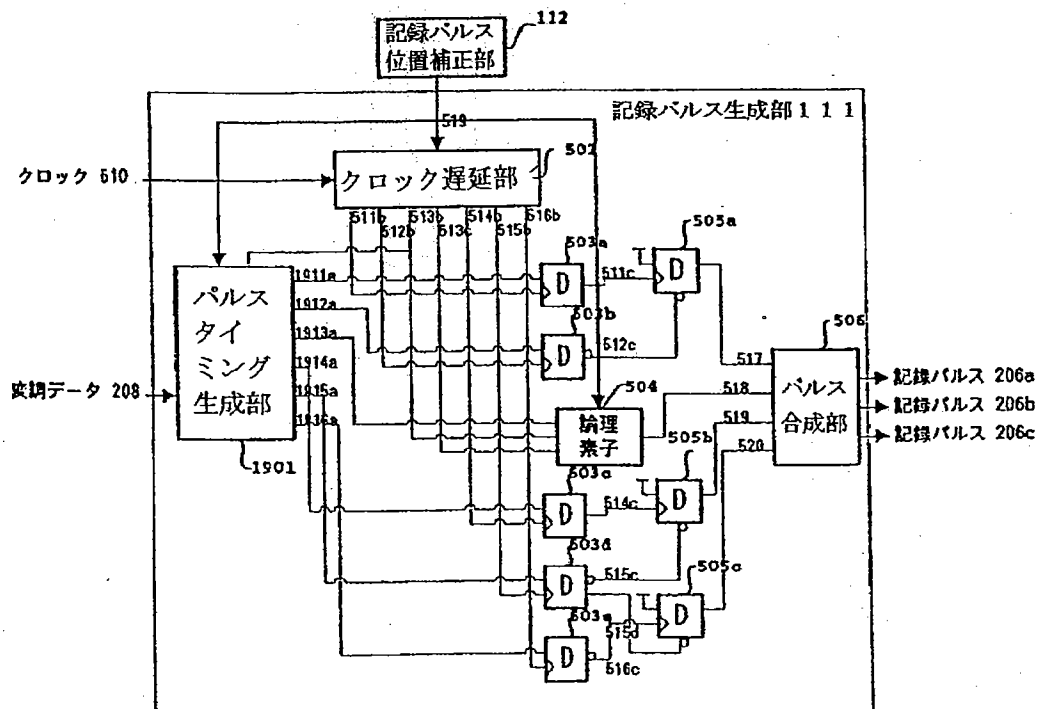
【図29】



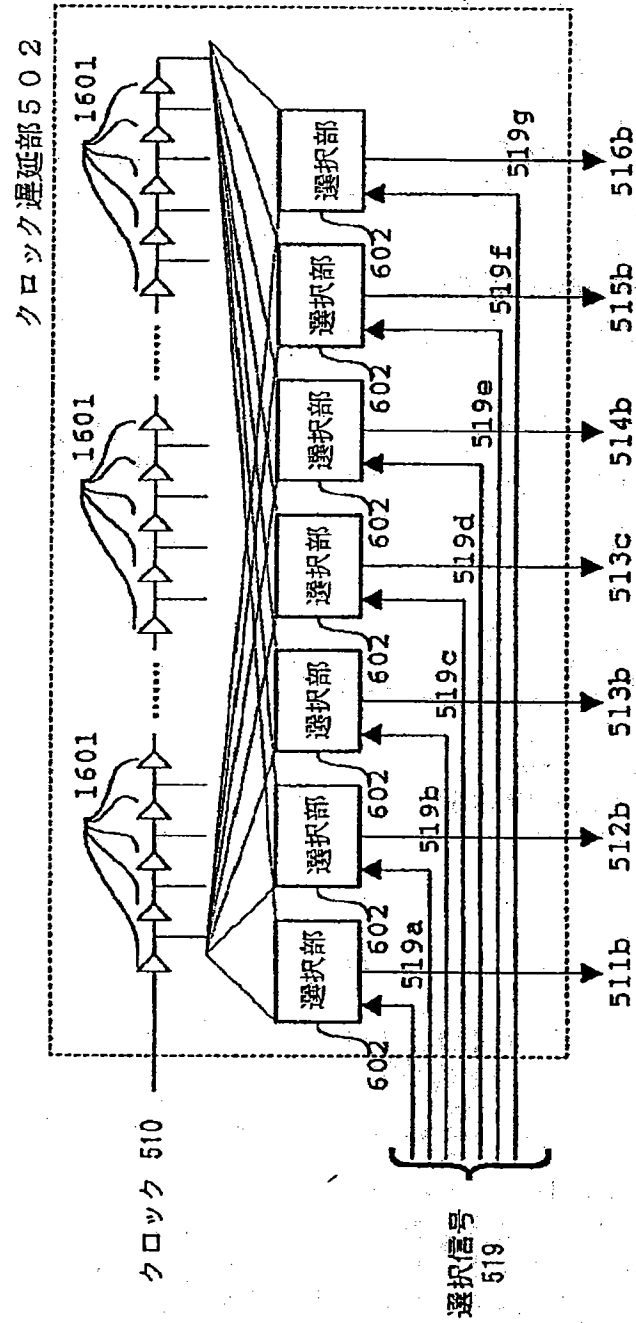
【図15】



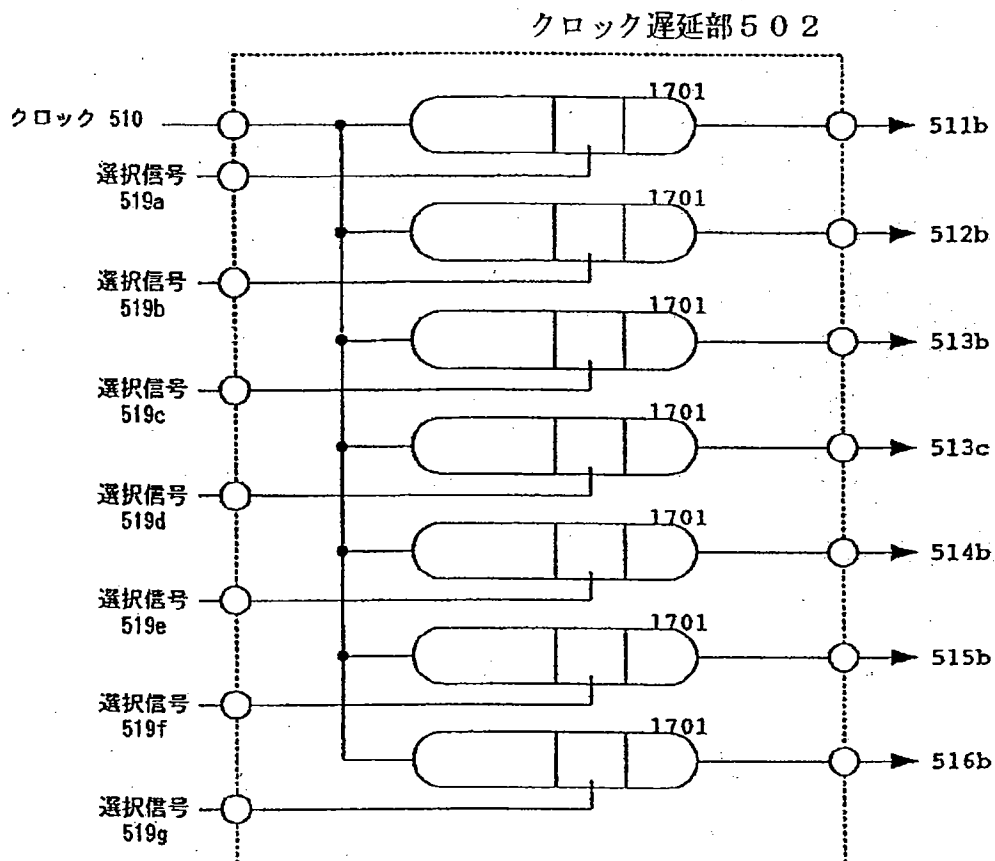
【図19】



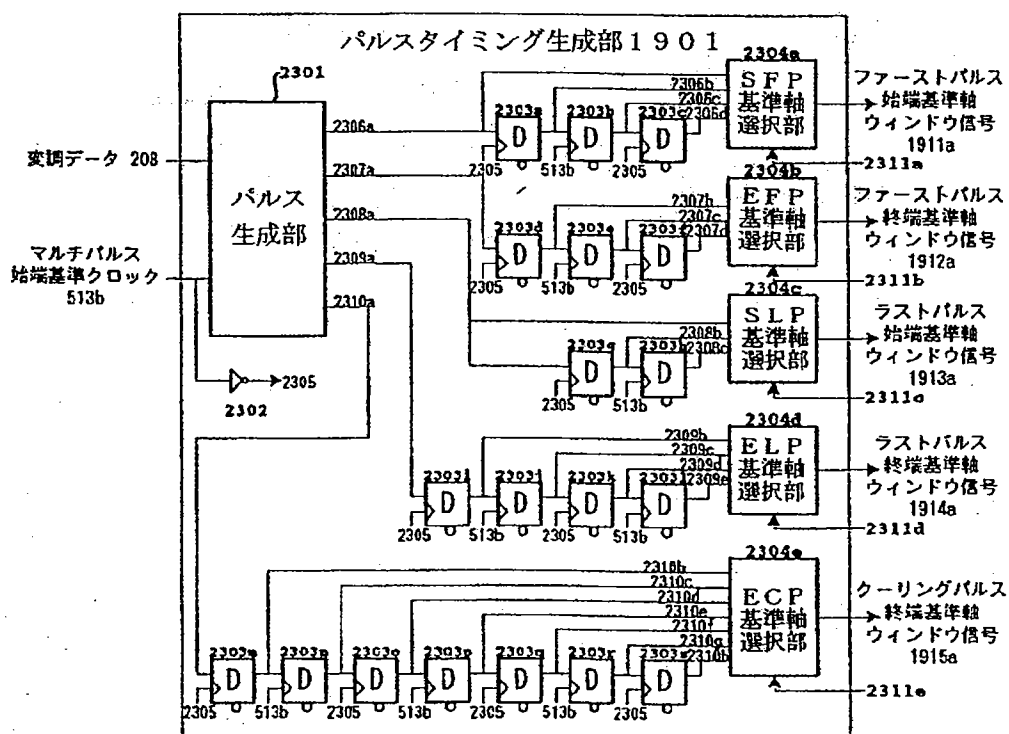
【図16】



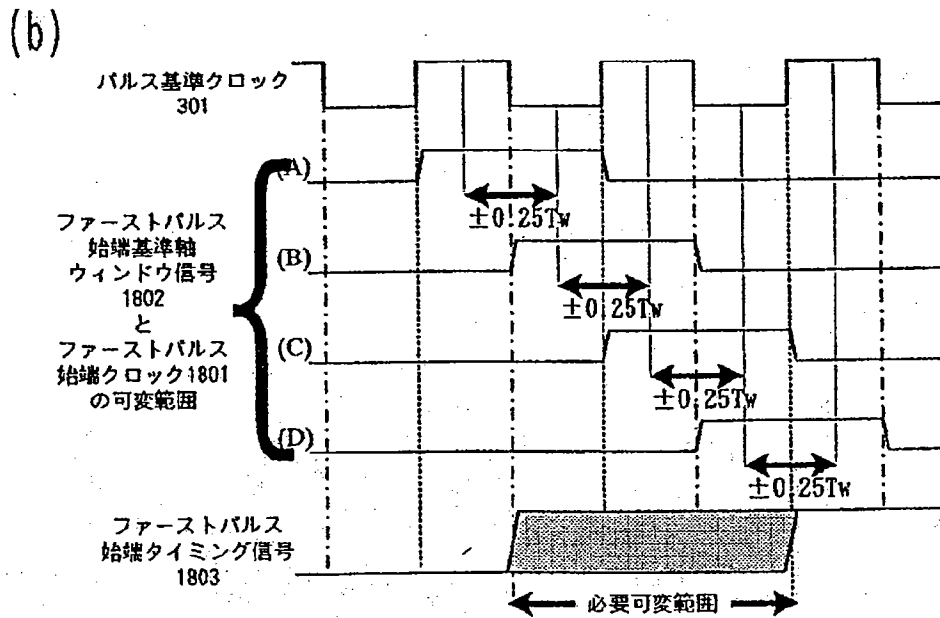
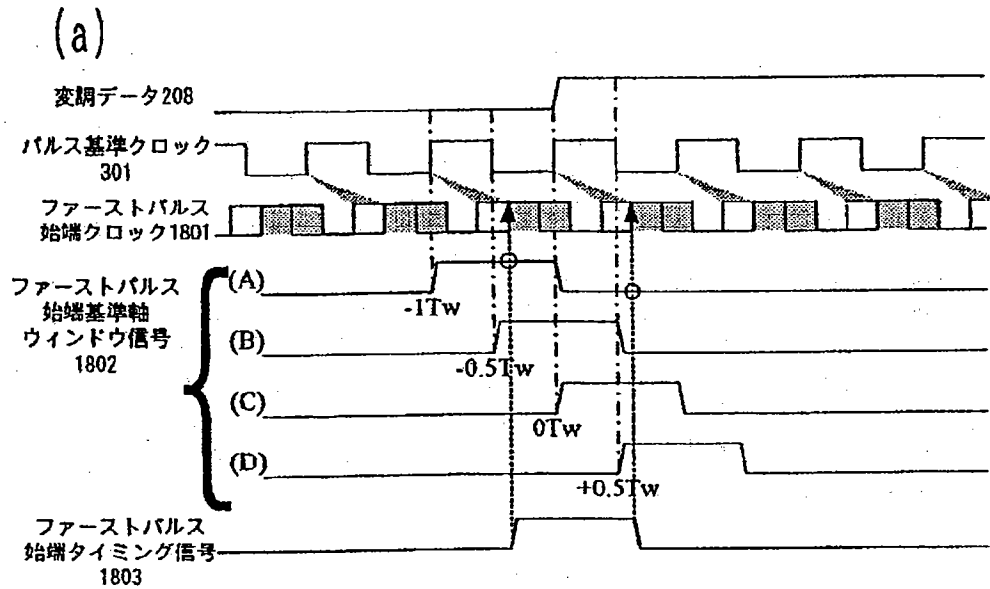
【図17】



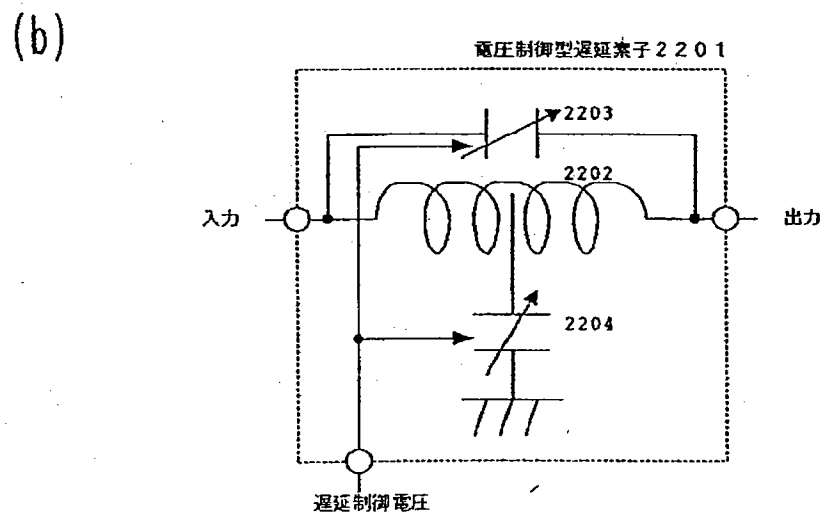
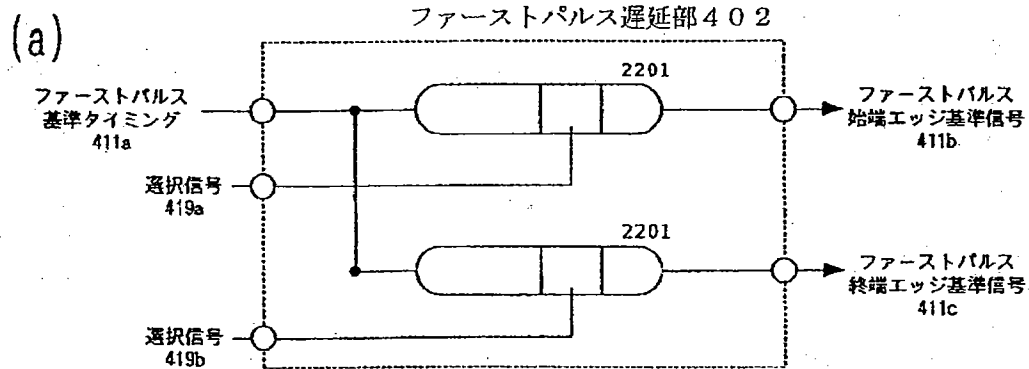
【図23】



【図18】



【図22】



【図26】

自己 直前 マーク長 スペース長	5Tw 以上	4Tw	3Tw
5Tw 以上	-1 ナノ秒	+2 ナノ秒	+3 ナノ秒
4Tw	-1 ナノ秒	+2 ナノ秒	+4 ナノ秒
3Tw	-2 ナノ秒	+3 ナノ秒	+5 ナノ秒

<時間テーブル>



1Tw=17ナノ秒

負の時間領域の傾き係数: a(-)

正の時間領域の傾き係数: a(+)

自己 直前 マーク長 スペース長	5Tw 以上	4Tw	3Tw
5Tw 以上	-1 a(-)	+2 a(+)	+3 a(+)
4Tw	-1 a(-)	+2 a(+)	+4 a(+)
3Tw	-2 a(-)	+3 a(+)	+5 a(+)

<設定値テーブル>

【図27】

